



1/5/1

DIALOG(R)File 352: Derwent WPI

(c) 2007 The Thomson Corporation. All rights reserved.

0013389720 *Drawing available*

WPI Acc no: 2003-479616/200345

Related WPI Acc No: 2004-088714; 2005-475641

XRAM Acc no: C2003-128180

XRPX Acc No: N2003-381201

Light emitting device, for use in electronic appliance e.g. video camera, comprises second and fourth insulating films having smaller stress than first and third insulating films

Patent Assignee: SEMICONDUCTOR ELECTRIC LAB CO LTD (SEME);

SEMICONDUCTOR ENERGY LAB (SEME)

Inventor: AKIBA M; TAKAYAMA T; YAMAZAKI S

Patent Family (5 patents, 4 countries)

Patent Number	Kind	Date	Application Number	Kind	Date	Update	Type
US 20030034497	A1	20030220	US 2002174547	A	20020619	200345	B
CN 1392615	A	20030122	CN 2002122668	A	20020620	200345	E
KR 2002097028	A	20021231	KR 200234626	A	20020620	200345	E
TW 548860	A	20030821	TW 2002112667	A	20020611	200409	E
US 6849877	B2	20050201	US 2002174547	A	20020619	200511	E

Priority Applications (no., kind, date): US 2002174547 A 20020619; JP 2001187351 A 20010620

Patent Details

Patent Number	Kind	Lan	Pgs	Draw	Filing Notes
US 20030034497	A1	EN	37	19	
TW 548860	A	ZH			

Alerting Abstract US A1

NOVELTY – A light emitting device comprises:

- (a) first insulating films formed between the substrate and the light emitting element;
- (b) second insulating films formed in each space between the first insulating films; and
- (c) fourth insulating films formed in each space between third insulating films where second and fourth insulating films have smaller stress than respective first and third insulating films.

DESCRIPTION – A light emitting device comprises:

- (a) a substrate (603,606);
- (b) a light emitting element (605);
- (c) first insulating films (612) formed between the substrate and the light emitting element;
- (d) second insulating film(s) formed in each space between the first insulating films;
- (e) third insulating films; and
- (f) fourth insulating film(s) formed in each space between the third insulating films and the substrate. The substrate is formed of plastic. The second insulating film has a smaller stress than that of each first insulating film. The fourth insulating film has a smaller stress than that of each third insulating film.

An **INDEPENDENT CLAIM** is also included for a method of manufacturing a light emitting device by:

- (a) forming a first bonding layer over a first substrate;
- (b) forming a first insulating film over the first bonding layer;
- (c) forming a light emitting element and a thin film transistor over the first insulating film;
- (d) forming a second insulating film to cover the light emitting element and the thin film transistor;
- (e) bonding fourth insulating films included in a second substrate and the second insulating film to each other through a second bonding layer, where the fourth insulating films interpose between at least one third insulating film;
- (f) removing the first substrate and exposing the first insulating film by removing the first bonding layer; and
- (g) bonding sixth insulating films included in a third substrate and the first insulating film to each other through a third bonding layer, where the sixth insulating films interpose between at least one fifth insulating film.

The third insulating film has a smaller stress than that of each fourth insulating film and the fifth insulating film has a smaller stress than that of each sixth insulating film.

USE – Used in an electronic appliance from a video camera, digital camera, goggle-type display, car navigation system, personal computer or portable information terminal (claimed).

ADVANTAGE – A stress relaxing film having a smaller stress than that of the barrier films is interposed between the barrier films so that a stress of the entire insulating films can be reduced. The barrier films sandwiching the stress relaxing film hardly suffer a crack due to stress as compared with a single layer barrier film even when the multilayer barrier film has the same total thickness as that of the single layer barrier film.

DESCRIPTION OF DRAWINGS – The figure shows a cross-section of a light emitting device.

601, 608 Sealing film

601a, 601c, 608a, 608c Barrier film

601b, 608b Stress relaxing film

603, 606 Substrate

604a–c Thin film transistor

605 Organic light emitting diode

610 Driving circuit

611 Pixel Portion

612 Insulating film

613, 614, 620, 621, 630 Gate electrodes

615, 622, 631 Semiconductor film

640 Pixel electrode

641 Light emitting layer

642 Cathode

Title Terms /Index Terms/Additional Words: LIGHT; EMIT; DEVICE; ELECTRONIC; APPLIANCE; VIDEO; CAMERA; COMPRISE; SECOND; FOURTH; INSULATE; FILM; SMALLER; STRESS; FIRST; THIRD

Class Codes

International Patent Classification					
IPC	Class Level	Scope	Position	Status	Version Date
H01L-027/15; H01L-033/00;			Main		"Version 7"

H05B-033/00					
H01L-025/00; H01L-031/12			Secondary		"Version 7<

US Classification, Issued: 257086000, 257086000, 257079000, 257083000, 257290000, 257359000

File Segment: CPI; EPI

DWPI Class: A85; L03; T01; U12; V07; V08; X22

Manual Codes (EPI/S-X): T01-J07D3A; U12-A01A1X; U12-A01A6; U12-B03C;

U12-E01A9; V07-K; V08-A08; X22-E06

Manual Codes (CPI/A-N): A12-E11; A12-E11A; L04-E03A

(19) 대한민국특허청 (KR)
(12) 공개특허공보 (A)

(51) . Int. Cl. 7
H05B 33/00

(11) 공개번호 특2002 - 0097028
(43) 공개일자 2002년12월31일

(21) 출원번호 10 - 2002 - 0034626
(22) 출원일자 2002년06월20일

(30) 우선권주장 JP - P - 2001 - 00187351 2001년06월20일 일본 (JP)

(71) 출원인 가부시기가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자 야마자키준페이
일본가나가와켄아쓰기시하세398가부시기가이샤한도오따이에네루기켄큐쇼내
타가야마토루
일본가나가와켄아쓰기시하세398가부시기가이샤한도오따이에네루기켄큐쇼내
아키바마이
일본가나가와켄아쓰기시하세398가부시기가이샤한도오따이에네루기켄큐쇼내

(74) 대리인 이병호

심사청구 : 없음

(54) 발광 디바이스 및 그 제조 방법

요약

본 발명은 습기 또는 산소의 침투로 인한 열화를 방지할 수 있는, 플라스틱 기판상에 형성된 OLED를 포함하는 발광 디바이스를 제공하는 목적을 가지고 있다. 플라스틱 기판상에, 산소 또는 습기가 OLED내의 유기 발광층내로 침투하는 것을 방지하기 위한 복수의 막들(이하, 배리어 막들이라 지칭함)과, 상기 배리어 막들 사이에 개재되어 있는, 배리어 막들의 용력 보다 작은 용력을 가지는 막(이하, 용력 이완 막이라 지칭함)이 제공된다. 복수의 배리어 막들의 적층체 구조로 인하여, 배리어 막들 중 하나에 균열이 발생하는 경우에도, 다른 배리어 막(들)이 산소 또는 습기가 유기 발광층내로 침투하는 것을 효과적으로 방지할 수 있다. 더욱이, 배리어 막들의 용력 보다 작은 용력을 가지는 용력 이완 막이 배리어 막들 사이에 개재되어 있고, 그에 의해, 전체 밀봉 막의 용력을 감소시키는 것이 가능하다. 결과적으로, 용력으로 인한 균열이 잘 발생하지 않는다.

대요지

도 1

색인어
습기, 산소, 배리어 막, 응력 이완 막, 밀봉 막, 발광 디바이스

발제적

도면의 간단한 설명

- 도 1a 내지 도 1c는 본 발명에 따른 발광 디바이스의 제조 방법들을 도시하는 도면들.
도 2a 내지 도 2b는 본 발명에 따른 발광 디바이스의 제조 방법들을 도시하는 도면들.
도 3a 내지 도 3d는 본 발명에 따른 발광 디바이스의 제조 방법들을 도시하는 도면들.
도 4a 내지 도 4c는 본 발명에 따른 발광 디바이스의 제조 방법들을 도시하는 도면들.
도 5a는 본 발명에 따른 발광 디바이스의 외관을 도시하는 도면.
도 5b는 FPC를 구비한 연결부를 도시하는 확대도.
도 5c는 연결부를 도시하는 단면도.
도 6a는 굴곡 상태의, 본 발명에 따른 발광 디바이스를 도시하는 도면.
도 6b는 굴곡 상태의, 본 발명에 따른 발광 디바이스의 단면도.
도 7은 본 발명에 따른 발광 디바이스가 FPC와 연결되는 부분을 도시하는 단면도.
도 8a 내지 도 8d는 본 발명에 따른 발광 디바이스의 제조 방법들을 도시하는 도면들.
도 9a 내지 도 9c는 본 발명에 따른 발광 디바이스의 제조 방법들을 도시하는 도면들.
도 10a 내지 도 10c는 본 발명에 따른 발광 디바이스에 포함된 OLED와 TFT를 제조하는 단계들을 도시하는 도면들.
도 11a 내지 도 11c는 본 발명에 따른 발광 디바이스에 포함된 OLED와 TFT를 제조하는 단계들을 도시하는 도면들.
도 12a 및 도 12b는 본 발명에 따른 발광 디바이스에 포함된 OLED와 TFT를 제조하는 단계들을 도시하는 도면들.
도 13은 본 발명에 따른 발광 디바이스를 도시하는 단면도.
도 14는 워터 제트법에 의한 접합층의 제거를 도시하는 도면.
도 15는 분무에 의한 유기 발광층의 형성을 도시하는 도면.
도 16a는 화소를 도시하는 평면도.
도 16b는 화소의 회로도.

도 17은 발광 디바이스의 회로 구조를 도시하는 개략도.

도 18a 내지 18d는 본 발명에 따른 발광 디바이스를 사용하는 전자 기기를 각각 도시하는 도면들.

도 19는 롤-투-롤 방법을 채용하는 밀봉 막 형성 장치를 도시하는 도면.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

1. 발명의 분야

본 발명은 반도체 디바이스를 제조하는 방법에 관한 것으로, 보다 명확하게는, 예로서, 플라스틱 기판상에 형성된 유기 발광 다이오드(OLED) 같은 발광 소자를 포함하는 발광 디바이스에 관한 것이다. 또한, 본 발명은 제어기 등을 포함하는 IC가 OLED 패널상에 장착되어 있는 OLED 모듈에 관한 것이다. 명세서 전반에 걸쳐, OLED 패널들 및 OLED 모듈들은 일반적으로 발광 디바이스들을 지칭한다. 본 발명은 또한, 이 발광 디바이스를 사용하는 전기 기기에 관한 것이다.

2. 관련 기술의 설명

최근 기판상에 TFT(박막 트랜지스터)를 형성하기 위한 기술이 현저히 발전되었으며, 액티브 매트릭스 디스플레이 디바이스들에 대한 그 응용을 위해 부가적인 개발이 지속되고 있다. 특히, 폴리실리콘 막을 사용하는 TFT는 고속으로 동작할 수 있으며, 그 이유는, 이런 TFT가 종래의 비정질 실리콘 막을 사용하는 TFT 보다 높은 전계 효과 이동성을 가지고 있기 때문이다. 따라서, 종래에는 기판 외측에 제공된 구동 회로에 의해 수행되어왔던 화소들의 제어는 이제, 화소들이 형성되어 있는 동일 기판상에 제공된 구동 회로에 의해 수행될 수 있다.

이런 액티브 매트릭스 디스플레이 디바이스는 동일 기판상에 형성되어 있는 다양한 회로들 또는 소자들을 포함한다. 이 구조로 인하여, 액티브 매트릭스 디스플레이 디바이스는 감소된 제조 비용, 감소된 디스플레이 디바이스의 크기, 향상된 생산량 및 향상된 처리량 같은 다양한 장점들을 제공한다.

또한, 자기 발광 소자로서 OLED를 포함하는 액티브 매트릭스 발광 디바이스(이하, 단순히 발광 디바이스라 지칭함)가 활발히 연구되고 있다. 이 발광 디바이스는 유기 EL 디스플레이(OELD) 또는 유기 발광 다이오드라고도 지칭된다.

OLED는 그 자기 발광을 위한 높은 가시성을 가지며, 또한, 액정 디스플레이(LCD)에 필수적인 배후광을 필요로하지 않기 때문에, 발광 디바이스의 두께를 감소시키기에 최적이다. 더욱이, OLED는 그 무제한의 조망 각도가 부가적인 장점을 제공한다. 이들 장점들 때문에, OLED를 사용하는 발광 디바이스들이 CRT들 또는 LCD들을 대체하는 디스플레이 디바이스들로서 관심을 끌고 있다.

OLED는 유기 화합물(유기 발광 재료)을 함유하는 층(이하, 이런 층을 유기 발광층이라 지칭함), 아노드 층 및 캐소드 층을 포함한다. 유기 발광 층은 아노드와 캐소드를 가로질러 전기장을 적용함으로써, 발광(전자 발광)을 생성한다. 유기 화합물로부터 발생된 전자발광은 싱글릿 여기 상태에서부터 접지 상태로의 귀환시 유발되는 발광(형광)과, 트리플렛 여기 상태에서부터 접지 상태로의 귀환시 유발되는 발광(인광)을 포함한다. 본 발명의 발광 디바이스는 상술한 발광의 유형들 중 어느 한쪽에 사용할 수 있으며, 대안적으로, 발광의 유형들 양자 모두를 사용할 수 있다.

본 명세서에서, OLED의 캐소드와 아노드 사이에 제공된 모든 층들은 일반적으로 유기 발광 층들로서 정의된다. 보다 명확하게는, 발광층, 정공 주입층, 전자 주입층, 정공 운반층, 전자 운반층 등이 모두 유기 발광층들의 범주에 포함된다. OLED는 기본적으로 아노드와, 발광층 및 캐소드가 이 순서로 적층되어 있는 구조를 가진다. 이 구조에 부가하여, 일부 OLED들은 아노드와 정공 주입층과 발광층 및 캐소드가 이 순서로 적층되어 있는 구조를 가지며, 다른 OLED들은 아노드와, 정공 주입층과, 발광층과, 전자 운반층과, 캐소드 등이 이 순서로 적층되어 있는 구조를 가진다.

이런 발광 디바이스들은 다양한 응용분야들에 사용될 것으로 기대된다. 특히, 이 발광 디바이스는 그 작은 두께와, 이에 따른, 중량 감소 가능성 때문에, 휴대용 장비에 적용하기에 바람직하다. 이 목적을 위해서, 가요성 플라스틱 막상에 OLED를 형성하기 위한 시도가 이루어져왔다.

OLED가 플라스틱 막 같은 가요성 기판상에 형성되어 있는 발광 디바이스는 그 작은 두께와 가벼운 중량에서 뿐만 아니라, 굴곡변을 가진 디스플레이, 쇼윈도우 등을 위한 그 유용성에서도 바람직하다. 따라서, 그 응용 범위는 극도로 넓으며, 휴대용 장비에 제한되는 것은 아니다.

그러나, 플라스틱으로 제조된 기판은 일반적으로 습기 또는 산소가 통과되기 쉽다. 유기 발광층의 열화가 습기 및 산소에 의해 가속되기 때문에, 발광 디바이스의 수명은 습기 또는 산소의 침투에 의해 짧아지게 되는 경향을 갖는다. 이 문제점의 종래의 해결 방법으로서, 습기 또는 산소가 유기 발광층내로 침투하는 것을 방지하기 위해, 실리콘 질화물 막 또는 실리콘 산질화물 막 같은 절연막이 플라스틱 기판과 OLED 사이에 제공된다.

그러나, 일반적으로, 플라스틱 막 같은 기판은 열에 의해 쉽게 영향을 받는다. 실리콘 질화물 막 또는 실리콘 산질화물 막 같은 절연막을 위한 과도하게 높아진 성막 온도에서, 기판이 쉽게 변형된다. 대조적으로, 과도하게 낮은 성막 온도에서, 막의 품질이 열화되어, 습기 또는 산소의 침투를 충분히 방지하기 어렵게 만든다.

더욱이, 실리콘 질화물 막 또는 실리콘 산질화물 막 같은 절연막의 두께가 습기 또는 산소의 침투를 방지하기 위해 증가되는 경우에, 응력이 대응적으로 증가되어 막내의 균열을 쉽게 유발하게 된다. 또한, 두께의 증가와 함께, 기판이 굴곡될 때, 절연막내에 균열이 쉽게 생성되게 된다.

발명이 이루고자 하는 기술적 과제

상술한 문제점들의 관점에서, 본 발명은 습기 또는 산소의 침투로 인한 열화를 억제할 수 있는, 플라스틱 기판상에 형성된 OLED를 포함하는 발광 디바이스를 제공하는 목적을 가진다.

본 발명에 따라서, 산소 또는 습기가 OLED의 유기 발광층내로 침투하는 것을 방지하는 복수의 막들(이하, 배리어 막들이라 지칭함)과, 상기 배리어 막들 사이에 샌드위치식으로 배치되어 상기 배리어 막들의 응력 보다 작은 응력을 가지는 층(이하, 응력 이완 막이라 지칭함)이 플라스틱 기판상에 제공된다. 본 명세서 전반에 걸쳐, 배리어 막들과 응력 이완 막의 적층체에 의해 형성된 막은 밀봉 막이라 지칭된다.

보다 명확하게, 무기 재료로 이루어진 둘 또는 그 이상의 배리어 막들(이하, 단순히 배리어 막들이라 지칭함)이 제공된다. 또한, 수지를 함유하는 응력 이완 막(이하, 단순히 응력 이완 막이라 지칭함)이 이 배리어 막들 사이에 제공된다. 그후, OLED가 절연막들의 이들 셋 또는 그 이상의 층들상에 형성된다. OLED는 발광 디바이스를 완성하도록 밀봉된다.

본 발명에 따라서, 복수의 배리어 막들이 적층된다. 이 방식에서, 배리어 막들 중 하나에 균열이 발생하는 경우에도, 다른 배리어 막(들)이 습기 또는 산소가 유기 발광층내로 침투하는 것을 효과적으로 방지할 수 있다. 또한, 배리어 막들의 품질이 낮은 성막 온도로 인해 열화된다 하더라도, 복수의 배리어 막들의 적층체는 습기 또는 산소가 유기 발광층 내로 침투하는 것을 효과적으로 방지할 수 있다.

또한, 배리어 막의 응력 보다 작은 응력을 가지는 응력 이완 막이 배리어 막들 사이에 샌드위치식으로 배치되어 밀봉 막의 전체 응력을 감소시킨다. 따라서, 동일 두께를 가진 단층 배리어 막과 비교할 때, 응력 이완 막이 배리어 막들 사이에 개재되어 있는 다층 배리어 막에서 응력으로 인한 균열이 잘 발생하지 않는다.

따라서, 다층 배리어 막은 동일 두께를 가진 단층 배리어 막에 비해 습기 또는 산소가 유기 발광층내로 침투하는 것을 효과적으로 방지할 수 있다. 부가적으로, 이런 다층 배리어막에서 응력으로 인한 균열이 잘 발생하지 않는다.

더욱이, 배리어 막들과 응력 이완 막의 적층체 구조는 디바이스에 부가적인 유연성을 제공하고, 그에 의해, 기판의 굴곡 시 균열을 방지한다.

또한, 본 발명에 따라서, 기판상에 형성된 OLED를 밀봉하기 위한 막(이하 밀봉 막이라 지칭함)도 상술한 다층 구조를 가질 수 있다. 이런 구조와 함께, 습기 또는 산소가 유기 발광층내로 침투하는 것이 효과적으로 방지될 수 있다. 부가적으로, 기판의 굴곡시 균열이 발생하는 것이 방지된다. 결과적으로, 향상된 유연성을 가진 발광 디바이스가 실현될 수 있다.

발명의 구성 및 작용

이하, 본 발명의 형태들이 첨부 도면들을 참조로 설명된다. 도 1a 내지 도 4c는 화소부와 구동 회로의 제조 단계들을 도시하는 단면도들이다.

(제 1 실시 형태)

도 1a에서, 비정질 실리콘 막으로 이루어진 제 1 접합층(102)이 제 1 기판(101)상에 100 내지 500nm 두께로 형성된다(본 실시 형태에서는 300nm). 비록, 본 실시 형태에서, 유리 기판이 제 1 기판(101)으로서 사용되었지만, 석영 기판, 실리콘 기판, 금속 기판 또는 세라믹 기판이 내안적으로 사용될 수 있다. 후속의 제조 단계들에서의 처리 온도에 견딜 수 있는 한, 소정의 재료가 제 1 기판(101)을 위해 사용될 수 있다.

제 1 접합층(102)을 형성하는 방법으로서, 저압 열간 CVD법, 플라즈마 CVD법, 스퍼터링법 또는 증발법이 사용될 수 있다. 제 1 접합층(102)상에서, 실리콘 산화물 막으로 이루어진 절연막(103)이 200nm의 두께를 갖도록 형성된다. 절연막(103)을 형성하는 방법으로서, 저압 열간 CVD법, 플라즈마 CVD법, 스퍼터링법 또는 증발법이 사용될 수 있다. 절연막(103)은 제 1 기판(101)을 탈피(peeling)시키도록 제 1 접합층(102)이 제거될 때, 제 1 기판(101)상에 형성된 소자를 보호하도록 기능한다.

다음에, 절연막(103)상에 소자가 형성된다(도 1b). 여기에서, 소자는 능동 매트릭스 발광 디바이스의 경우에, 화소, OLED 등을 위한 스위칭 소자로서 사용되는 반도체 소자(통상적으로, TFT) 또는 MIM 소자를 나타낸다. 수동 발광 디바이스의 경우에, 소자는 OLED를 나타낸다. 도 1b에서, 구동 회로(106)내의 TFT(104a)와, 화소부내의 TFT들(104b, 104c)과, OLED(105)가 대표 소자들로서 도시되어 있다.

그후, 상술한 소자들을 덮도록 절연막(108)이 형성된다. 절연막(108)은 그 형성 이후에 보다 평탄한 표면을 가지는 것이 적합하다. 절연막(108)을 제공하는 것은 필수적인 것은 아니다.

다음에, 도 1c에 도시된 바와 같이, 제 2 기판(110)이 제 2 접합층(109)을 통해 제 1 기판(101)에 접합된다. 본 실시 형태에서, 플라스틱 기판이 제 2 기판(110)으로서 사용된다. 보다 명확히, 10 μ m 또는 그 이상의 두께를 가진 수지 기판, 예로서, PES(폴리에테르 설펜), PC(폴리카보네이트), PET(폴리에틸렌 테레프탈레이트) 또는 PEN(폴리에틸렌 나프탈레이트)로 제조된 기판이 사용될 수 있다.

제 2 접합층(109)의 재료로서, 제 1 접합층(102)이 후속 단계에서 제거될 때, 높은 선택비를 제공할 수 있는 재료를 사용하는 것이 필수적이다. 통상적으로, 수지로 제조된 절연막은 제 2 접합층(109)으로서 사용될 수 있다. 비록, 본 실시 형태에서 폴리이미드가 제 2 접합층(109)의 재료로서 사용되지만, 아크릴, 폴리아미드 또는 에폭시 수지가 대안적으로 사용될 수 있다. 제 2 접합층(109)이 OLED로부터 볼 때, 관측자의 측면(발광 디바이스 사용자의 측면)상에 배치되는 경우에, 재료는 광투과성을 가져야할 필요가 있다.

부가적으로, 본 실시 형태에서, 둘 또는 그 이상의 배리어 막들이 제 2 기판(110)상에 형성된다. 그후, 응력 이완 막이 두 배리어 막들 사이에 제공된다. 결과적으로, 배리어 막들과 응력 이완 막의 적층체 구조를 가지는 밀봉막이 제 2 기판(110)과 제 2 집합층(109) 사이에 형성된다.

예로서, 본 실시 형태에서, 실리콘 질화물로 이루어진 막이 제 2 기판(110)상에 스퍼터링에 의해 배리어 막(111a)으로서 형성되고; 폴리이미드를 함유하는 응력 이완 막(111b)이 배리어 막(111a)상에 형성되며; 실리콘 질화물로 이루어진 막이 응력 이완 막(111b)상에 스퍼터링에 의해 배리어 막(111c)으로서 형성된다. 배리어 막(111a), 응력 이완 막(111b) 및 배리어 막(111c)의 적층체 막은 층체적으로 밀봉 막(111)이라 지칭된다. 그후, 그 위에 밀봉 막(111)이 형성되어 있는 제 2 기판(110)이 제 2 집합층(109)을 통해 제 1 기판(101)상에 형성된 소자에 집합된다.

둘 또는 그 이상의 배리어 막들을 제공하는 것으로 충분하다. 배리어 막들의 재료로서, 실리콘 질화물, 실리콘 산질화물, 알루미늄 산화물, 알루미늄 질화물, 알루미늄 산질화물 또는 알루미늄 산질화 규화물(AlSiON)이 사용될 수 있다.

알루미늄 산질화 규화물이 비교적 높은 열 전도성을 갖고 있기 때문에, 배리어 막에 이를 사용하는 것은 소자내에 발생된 열의 효과적인 방산을 허용한다.

광 투과성을 가진 수지가 응력 이완 막(111b)을 위해 사용될 수 있다. 통상적으로, 폴리이미드, 아크릴, 폴리아미드, 폴리이미드 아미드, 벤조사이클로부텐, 에폭시 수지 등이 사용될 수 있다. 상술한 수지들 이외의 수지들이 사용될 수도 있다. 본 실시 형태에서, 응력 이완 막이 열적으로 중합될 수 있는 폴리 이미드를 적용하고, 이어서, 베이킹함으로써, 형성된다.

실리콘 질화물 막이 약 0.4Pa의 스퍼터링 압력하에서 150℃로 유지되는 기판 온도에서 아르곤을 도입시킴으로써 형성된다. 성막은 아르곤에 부가하여 수소와 질소를 도입한 상태로, 타겟으로서 실리콘을 사용하여 수행된다. 실리콘 산질화물의 경우에, 막은 약 0.4Pa의 스퍼터링 압력 하에서, 150℃로 유지되는 기판 온도에서 아르곤을 도입시킴으로써 형성된다. 성막은 아르곤에 부가하여 질소와, 이산화 질소와, 수소를 도입시키면서, 타겟으로서 실리콘을 사용하여 수행된다. 대안적으로, 실리콘 산화물이 타겟으로서 사용될 수 있다.

배리어 막들(111a 및 111c) 각각이 50nm 내지 3 μ m의 범위의 두께를 가지는 것이 적합하다. 본 실시 형태에서, 실리콘 질화물 막은 1 μ m의 두께를 갖도록 형성된다.

배리어 막들의 형성 방법은 스퍼터링에 한정되지 않으며; 성막 방법은 본 발명의 실시자에 의해 적절하게 결정될 수 있다. 예로서, 배리어 막은 LPCVD법, 플라즈마 CVD법 등에 의해 형성될 수 있다.

응력 이완 막(111b)은 200nm 내지 2 μ m의 범위의 두께를 갖는 것이 적합하다. 본 실시 형태에서, 폴리이미드 막이 응력 이완 막으로서 1 μ m의 두께를 갖도록 형성된다.

배리어 막들(111a 및 111c)과 응력 이완 막(111b)을 위해서, 제 1 집합층(102)이 추후 단계에서 제거될 때, 높은 선택비를 제공하는 재료들을 사용할 필요가 있다.

도 1a에 도시된 단계로 인해, OLED는 공기로부터 완전히 격리될 수 있다. 결과적으로, 산화로 인한 유기 발광 재료의 열화는 실질적으로 완전히 억제되고, 그에 의해, OLED의 신뢰성이 현저히 향상된다.

다음에, 도 2a에 도시된 바와 같이, 제 1 기판(101), 제 2 기판(110)과 모든 원소들 및 그 사이에 형성된 전체 박들이 제 1 접합층(102)을 제거하도록 할로젠 플로라이드를 함유하는 가스에 노출된다. 본 실시 형태에서, 클로린 트리플로라이드(ClF_3)가 할로젠 플로라이드로서 사용되며, 질소가 회석 가스로서 사용된다. 대안적으로, 아르곤, 헬륨 또는 네온이 회석 가스로서 사용될 수 있다. 유량은 양자 모두의 가스들에 대해서 500sccm($8.35 \times 10^{-6} \text{ m}^3/\text{s}$)으로 설정될 수 있으며, 반응 압력은 1 내지 10 Torr(1.3×10^2 내지 $1.3 \times 10^3 \text{ Pa}$)로 설정될 수 있다. 처리 온도는 실온(통상적으로, 20 내지 27°C)일 수 있다.

이 경우에, 실리콘 막은 에칭되고, 플라스틱 막, 유리 기판, 폴리이미드 막 및 실리콘 산화물 막은 에칭되지 않는다. 보다 명확하게, 클로린 트리플로라이드에 대한 노출을 통해, 제 1 접합층(102)이 선택적으로 에칭되어 그 완전한 제거를 초래한다. 유사하게 실리콘 층으로 제조된, TFT의 능동층은 외부로 노출되지 않기 때문에, 이 능동층은 클로린 트리플로라이드에 노출되지 않고, 따라서, 에칭되지 않는다.

본 실시 형태에서, 제 1 접합층(102)은 그 노출된 에지들로부터 점진적으로 에칭된다. 제 1 기판(101) 및 절연막(103)은 제 1 접합층(102)이 완전히 제거될 때, 서로 분리된다. 각각 박막들의 적층체를 포함하는 TFT들과 OLED는 제 2 기판(110)상에 남아있다.

에칭이 제 1 접합층(102)의 에지들로부터 점진적으로 진행되고, 따라서, 제 1 접합층(102)의 완전한 제거를 위해 필요한 시간이 크기의 증가와 함께 길어지기 때문에, 대형 기판은 제 1 기판(101)으로서 부적합하다. 따라서, 본 실시 형태는 3인치 또는 그 이하(바람직하게는, 1 인치 또는 그 이하)의 대각선을 가지는 제 1 기판(101)을 위해 수행되는 것이 적절하다.

이 방식의 제 1 기판(101)의 탈피(peeling) 이후에, 제 3 접합층(113)이 도 2b에 도시된 바와 같이 형성된다. 그 후, 제 3 기판(112)이 제 3 접합층(113)을 통해 제 2 기판(110)에 접합된다. 본 실시 형태에서, 플라스틱 기판이 제 3 기판(112)으로서 사용된다. 보다 명확하게, 10 μm 또는 그 이상의 두께를 가지는 수지 기판, 예로서, PES(폴리에테르 설펜), PC(폴리카보네이트), PET(폴리에틸렌 테레프탈레이트) 또는 PEN(폴리에틸렌 나프탈레이트)으로 이루어진 기판이 제 3 기판(112)으로서 사용될 수 있다.

제 3 접합층(113)으로서, 수지(통상적으로, 폴리이미드, 아크릴, 폴리아미드 또는 에폭시 수지)로 이루어진 절연막이 사용될 수 있다. 제 3 접합층(113)이 OLED로부터 볼 때, 관측자 측면(발광 디바이스 사용자의 측면)에 배치되는 경우에, 재료는 광 투과성을 가질 필요가 있다.

본 실시 형태에서, 둘 또는 그 이상의 배리어 막들이 제 3 기판(112)상에 형성된다. 그 후, 응력 이완 막이 두 배리어 막들 사이에 제공된다. 결과적으로, 배리어 막들과 응력 이완 막의 적층 구조를 가지는 밀봉 막이 제 2 기판(112)과 제 3 접합층(113) 사이에 형성된다.

예로서, 본 실시 형태에서, 실리콘 질화물로 이루어진 막이 제 3 기판(110)상에 스퍼터링에 의해 배리어 막(114a)으로서 형성되고; 폴리 이미드를 포함하는 응력 이완 막(114b)이 배리어 막(114a)상에 형성되며; 실리콘 질화물로 형성된 막이 응력 이완 막(114b)상에 스퍼터링에 의해 배리어 막(114c)으로서 형성된다. 배리어막(114a), 응력 이완 막(114b) 및 배리어 막(114c)의 적층체 막은 층층적으로 밀봉 막(114)이라 지칭된다. 그 후, 그 위에 밀봉 막(114)이 형성되어 있는 제 3 기판(112)이 제 3 접합층(113)을 통해 제 2 기판상으로 고정된 소자에 접합된다.

둘 또는 그 이상의 배리어 막들을 제공하는 것으로 충분하다. 배리어 막들의 재료로서, 실리콘 질화물, 실리콘 산질화물, 알루미늄 산화물, 알루미늄 질화물, 알루미늄 산질화물 또는 알루미늄 산질화 규화물(AISiON)이 사용될 수 있다.

알루미늄 산질화 규화물이 비교적 높은 열 전도성을 갖고 있기 때문에, 배리어 막에 이를 사용하는 것은 소자내에 발생된 열의 효과적인 방산을 허용한다.

광 투과성을 가진 수지가 용액 이완 막(114b)을 위해 사용될 수 있다. 통상적으로, 폴리이미드, 아크릴, 폴리아미드, 폴리이미드 아미드, 벤조사이클로부텐, 에폭시 수지 등이 사용될 수 있다. 본 실시 형태에서, 용액 이완 막이 열적으로 강화될 수 있는 폴리 이미드를 적용하고, 이어서, 베이킹함으로써, 형성된다.

실리콘 질화물 막이 약 0.4Pa의 스퍼터링 압력하에서 150℃로 유지되는 기판 온도에서 아르곤을 도입시킴으로써 형성된다. 성막은 아르곤에 부가하여 수소와 질소를 도입한 상태로, 타겟으로서 실리콘을 사용하여 수행된다. 실리콘 산질화물의 경우에, 막은 약 0.4Pa의 스퍼터링 압력 하에서, 150℃로 유지되는 기판 온도에서 아르곤을 도입시킴으로써 형성된다. 성막은 아르곤에 부가하여 질소와, 이산화 질소와, 수소를 도입시키면서, 타겟으로서 실리콘을 사용하여 수행된다. 대안적으로, 실리콘 산화물이 타겟으로서 사용될 수 있다.

배리어 막들(114a 및 114c) 각각이 50nm 내지 3 μ m의 범위의 두께를 가지는 것이 적합하다. 본 실시 형태에서, 실리콘 질화물 막은 1 μ m의 두께를 갖도록 형성된다.

배리어 막들의 형성 방법은 스퍼터링에 한정되지 않으며; 성막 방법은 본 발명의 실시자에 의해 적절하게 결정될 수 있다. 예로서, 배리어 막들은 LPCVD법, 플라즈마 CVD법 등에 의해 형성될 수 있다.

용액 이완 막(114b)은 200nm 내지 2 μ m의 범위의 두께를 갖는 것이 적합하다. 본 실시 형태에서, 폴리이미드 막이 용액 이완 막으로서 1 μ m의 두께를 갖도록 형성된다.

이 방식으로, 가요성을 가지는 두 개의 가요성 기판들(110 및 112) 사이에 개재된 발광 디바이스가 얻어질 수 있다. 제 2 기판(110) 및 제 3 기판(112)을 위해 동일한 재료를 사용하면, 기판들(110 및 112)은 동일한 열 팽창 계수를 갖는다. 결과적으로, 기판들(110 및 112)은 온도 변화로 인한 응력 변형에 의해 거의 영향을 받지 않는다.

본 실시 형태에 따른 발광 디바이스 제조 방법은 플라스틱 기판의 내열성에 의해 제한되지 않고 반도체를 사용한 소자(예로서 TFT)의 제조를 가능하게 한다. 따라서, 극도로 높은 성능을 가진 발광 디바이스가 얻어질 수 있다.

비록, 본 실시 형태에서 제 1 접합 층(102)이 비정질 실리콘으로 제조되고, 할로겐 플로라이드를 함유하는 가스로 제거되지만, 본 발명은 이 구조에 제한되지 않는다. 제 1 접합층(102)의 재료 및 제거 방법은 본 발명의 실시자에 의해 적절히 결정될 수 있다. 제 1 접합층(102) 이외의, 제거되는 것이 바람직하지 못한 기판들, 소자들 및 막들이 제 1 접합층(102)의 제거와 함께 제거되지 않고, 그래서, 발광 디바이스의 동작에 영향을 미치지 않도록 제 1 접합층(102)의 재료 및 제거 방법을 결정하는 것이 중요하다. 또한, 제 1 접합층(102)의 재료가 제 1 접합층(102)의 제거 단계 이외의 프로세스에서 그 제거를 허용하지 않는 것이 중요하다.

예로서, 레이저 빔의 방사에 의해 전체적으로 또는 부분적으로 기화되는 유기 재료가 제 1 접합층(102)으로서 사용될 수 있다. 부가적으로, YAG 레이저로부터의 제 2 고조파가 사용되는 경우에 단지 제 1 접합 층(102)에 의해서만 효과적으로 레이저 빔이 흡수되도록, 레이저 빔 흡수성을 가지는 재료, 예로서, 착색된 또는 검정색 재료(예로서, 검정색 착색제를 함유하는 수지 재료)가 사용되는 것이 적합하다. 소자 형성 단계들에서의 열 처리에 의해 기화되지 않는 재료가 제 1 접합 층(102)을 위해 사용된다.

제 1, 제 2 및 제 3 접합층들 각각은 단일층 또는 다층일 수 있다. 비정질 실리콘 막 또는 DLC 막이 접합층과 기판 사이에 제공될 수 있다.

제 1 접합층(102)은 비정질 실리콘 막으로 형성될 수 있고, 제 1 기판은 차후 단계에서, 제 1 접합층(102)상으로의 레이저 빔의 방사에 의해 탈피될 수 있다. 이 경우에, 제 1 기판의 탈피를 촉진하기 위해서, 대량의 수소를 포함하는 비정질 실리콘 막을 사용하는 것이 적합하다. 비정질 실리콘 막 내에 함유된 수소는 레이저 빔의 방사에 의해 기화되고, 그래서, 제 1 기판이 쉽게 탈피될 수 있다.

레이저 빔으로서, 펄스 발진 또는 연속파 엑시머 레이저, YAG 레이저 또는 YVO₄ 레이저가 사용될 수 있다. 레이저 빔은 제 1 기판을 통해 제 1 접합층상으로 방사되며, 그래서, 제 1 기판을 탈피시키기 위해 제 1 접합층만이 기화된다. 따라서, 제 1 기판으로서, 적어도 방사된 레이저 빔이 그를 통해 통과하는 기판, 일반적으로, 광 투과성을 가진 기판, 예로서, 제 2 및 제 3 기판들의 두께 보다 큰 두께를 가지는 유리 기판, 석영 기판 등을 사용하는 것이 적합하다.

본 발명에서, 레이저 빔이 제 1 기판을 통과하는 것을 허용하기 위해서, 레이저 빔 빛 제 1 기판의 유형을 적절히 선택하는 것이 필수적이다. 예로서, 석영 기판이 제 1 기판으로서 사용될 때, YAG 레이저(기본파(1064nm), 제 2 고조파(532nm), 제 3 고조파(355nm) 및 제 4 고조파(266nm))나, 엑시머 레이저(파장: 308nm)가 순차적으로 석영 기판을 통과하는 것을 허용하는 선형 빔을 형성하도록 사용된다. 엑시머 레이저 빔은 유리 기판을 통과하지 못한다는 것을 인지하여야 한다. 따라서, 제 1 기판으로서 유리 기판이 사용될 때, YAG 레이저의 기본파, 제 2 고조파 또는 제 3 고조파, 바람직하게는, 제 2 고조파(파장: 532nm)가, 순차적으로 유리기판을 통과하는 것이 허용되는 선형 빔을 형성하기 위해 사용된다.

대안적으로, 예로서, 제 1 접합층상에 유체(압력-적용 유체 또는 가스)를 분무함으로써(통상적으로 워터 제트법) 제 1 기판을 분리시키는 방법이 사용될 수 있다.

제 1 접합층이 비정질 실리콘 막으로 이루어지는 경우에, 제 1 접합층은 히드라진(hydrazine)에 의해 제거될 수 있다.

대안적으로, 일본 특개평 8-288522호에 기술되어 있는 예칭에 의해 제 1 기판을 분리시키는 방법이 사용될 수 있다. 특히, 적용된 실리콘 산화물 막(SOG)은 그후 불화 수소에 의해 제거될 제 1 접합층으로서 사용될 수 있다. 이 경우에, 제거되는 것이 바람직하지 못한 실리콘 산화물 막이 스퍼터링 또는 CVD법을 통해 미세 구조를 갖도록 형성되고, 그래서, 실리콘 산화물 막이 제 1 접합층이 불화 수소에 의해 제거될 때, 높은 선택비를 제공하는 것이 중요하다.

이런 구조에서, 극도로 작은 두께, 특히, 50 내지 300 μ m, 바람직하게는 150 내지 200 μ m의 두께를 가지는 기판들이 제 2 및 제 3 기판들로서 사용되는 경우에도, 높은 신뢰성을 가진 반광 디바이스가 얻어질 수 있다. 종래의 공지된 제조 장치들을 사용하여 이런 얇은 기판상에 소자를 형성하는 것은 어렵다. 그러나, 소자가 제 1 기판상에 접합되어 형성되기 때문에, 얇은 기판을 사용하는 제조 장치들은 장치들을 개조하지 않고도 사용될 수 있다.

다층 절연막을 포함하는 밀봉 막을 사용함으로써, 습기 또는 산소의 침투로 인한 열화를 효과적으로 억제하는 것이 가능하다. 또한, 기판의 굴곡시 균열이 발생하는 것이 방지된다. 결과적으로, 개선된 유연성을 가진 반광 디바이스가 실현될 수 있다.

(제 2 실시 형태)

다음에, 상술한 제 1 실시 형태와는 상이한 제 2 실시 형태를 설명한다.

도 3a에서, 비정질 실리콘 막으로 이루어진 제 1 접합층(202)이 제 1 기판(201)상에 100 내지 500nm 두께로 형성된다(본 실시 형태에서는 300nm). 비록, 본 실시 형태에서, 유리 기판이 제 1 기판(201)으로서 사용되었지만, 석영 기판, 실리콘 기판, 금속 기판 또는 세라믹 기판이 대안적으로 사용될 수 있다. 추후의 제조 단계들에서의 처리 온도에 견딜 수 있는 한, 소정의 재료가 제 1 기판(201)을 위해 사용될 수 있다.

제 1 접합층(202)을 형성하는 방법으로서, 저압 열간 CVD법, 플라즈마 CVD법, 스퍼터링법 또는 증발법이 사용될 수

있다. 제 1 접합층(202)상에서, 실리콘 산화물 막으로 이루어진 절연막(203)이 200nm의 두께를 갖도록 형성된다. 절연막(203)을 형성하는 방법으로서, 저압 열간 CVD법, 플라즈마 CVD법, 스퍼터링 법 또는 증발법이 사용될 수 있다. 절연막(203)은 제 1 기판(201)을 탈피(peeling)시키도록 제 1 접합층(202)이 제거될 때, 제 1 기판(201)상에 형성된 소자를 보호하도록 기능한다.

다음에, 절연막(203)상에 소자가 형성된다(도 3b). 여기에서, 소자는 능동 매트릭스 발광 다이오드의 경우에, 화소, OLED 등을 위한 스위칭 소자로서 사용되는 반도체 소자(통상적으로, TFT) 또는 MIM 소자를 나타낸다. 수동 발광 다이오드의 경우에, 소자는 OLED를 나타낸다. 도 3b에서, 구동 회로(206)내의 TFT(204a)와, 화소부내의 TFT들(204b, 204c)과, OLED(205)가 대표 소자들로서 도시되어 있다.

그후, 상술한 소자들을 덮도록 절연막(208)이 형성된다. 절연막(208)은 그 형성 이후에 보다 평탄한 표면을 가지는 것이 적합하다. 절연막(208)을 제공하는 것은 필수적인 것은 아니다.

다음에, 도 3c에 도시된 바와 같이, 제 2 기판(210)이 제 2 접합층(209)을 통해 제 1 기판(201)에 접합된다. 비록, 본 실시 형태에서, 유리 기판이 제 2 기판(210)으로서 사용되었지만, 석영 기판, 실리콘 기판, 금속 기판 또는 세라믹 기판도 사용될 수 있다. 재료가 추후 제조 단계에서의 처리 온도에 대한 내성이 있는 한 소정의 재료가 제 2 기판(210)을 위해 사용될 수 있다.

제 2 접합층(209)의 재료로서, 제 1 접합층(202)이 추후 단계에서 제거될 때, 높은 선택비를 제공할 수 있는 재료를 사용하는 것이 필수적이다. 또한, 제 2 접합층(209)을 위해서, 제 3 기판을 접합하도록 기능하는 제 3 접합층이 제 2 접합층의 제거와 함께 제거되지 않고, 제 3 기판의 탈피를 유발하지 않는 재료를 사용하는 것이 필요하다. 본 실시 형태에서, 일본 특허평 5-315630호에 개시된 폴리이미드 수지의 전구체인 폴리아믹 산 용액이 사용된다. 보다 명확하게, 제 2 접합층(209)이 미경화 수지인, 폴리아믹 산 용액을 사용하여 10 내지 15 μ m의 두께를 갖도록 형성된 이후에, 제 2 기판(210) 및 층간 절연막(208)이 열압착 접합을 통해 서로 접합된다. 그후, 일시적으로 수지를 경화시키도록 가열이 수행된다.

본 실시 형태에서, 제 2 접합층(209)의 재료는 폴리아믹 산 용액에 제한되지 않는다. 제 1 접합층(202)이 추후 단계에서 제거될 때, 높은 선택비를 제공하는 한, 그리고, 제 3 기판을 접합하기 위한 제 3 접합층이 제 2 접합층(209)의 제거와 함께 제거되지 않고 제 3 기판의 탈피를 유발하지 않는 한, 소정의 재료가 사용될 수 있다. 제 2 접합층(209)이 제 2 접합층(209)을 제거하는 단계 이외의 단계들에서 제거되지 않는 재료로 제조되는 것이 중요하다.

다음에, 도 3d에 도시된 바와 같이, 제 1 기판(201), 제 2 기판(210) 및 모든 소자들과 그들 사이에 형성된 전체 막들이 불화 수소를 함유하는 가스에 노출되고, 그래서, 제 1 접합층(202)을 제거한다. 본 실시 형태에서, 클로린 트리플로라이드(ClF₃)가 불화 수소로서 사용되고, 실소가 회석 가스로서 사용된다. 대안적으로, 아르곤, 헬륨 또는 네온이 회석 가스로서 사용될 수 있다. 양자 모두의 가스들을 위한 유량은 500sccm(8.35 $\times 10^{-6}$ m³/s)으로 설정될 수 있으며, 반응 압력은 1 내지 10 Torr(1.3 $\times 10^{-2}$ 내지 1.3 $\times 10^3$ Pa)로 설정될 수 있다. 처리 온도는 실온(통상적으로, 20 내지 27 $^{\circ}$ C)일 수 있다.

이 경우에, 실리콘 막은 에칭되고, 플라스틱 막, 유리 기판, 폴리이미드 막 및 실리콘 산화물 막은 에칭되지 않는다. 보다 명확하게, 클로린 트리플로라이드 가스에-대한 노출을 통해, 제 1 접합층(202)이 선택적으로 에칭되어 그 완전한 제거를 초래한다. 유사하게 실리콘 층으로 제조된, TFT의 능동층은 외부로 노출되지 않기 때문에, 이 능동층은 클로린 트리플로라이드 가스에 노출되지 않고, 따라서, 에칭되지 않는다.

본 실시 형태에서, 제 1 접합층(202)은 그 노출된 에지부들로부터 점진적으로 에칭된다. 제 1 기판(201) 및 절연막(203)은 제 1 접합층(202)이 완전히 제거될 때, 서로 분리된다. 제 1 접합층(202)의 제거 후에, 각각 막막들의 적층체를 포함하는 TFT들과 OLED는 제 2 기판(210)상에 남아있다.

제 1 접합층(202)이 그 에지들로부터 점진적으로 에칭되고, 따라서, 제 1 접합 층(202)의 완전한 제거를 위해 필요한 시간이 크기의 증가와 함께 길어지기 때문에, 대형 기판은 제 1 기판(201)으로서 부적합하다. 따라서, 본 실시 형태는 3인치 또는 그 이하(바람직하게는, 1 인치 또는 그 이하)의 대각선을 가지는 제 1 기판(201)을 위해 수행되는 것이 적절하다.

이 방식의 제 1 기판(201)의 제거 이후에, 제 3 접합 층(213)이 도 4a에 도시된 바와 같이 형성된다. 그후, 제 3 기판(212)이 제 3 접합층(213)을 통해 제 2 기판(210)에 접합된다. 본 실시 형태에서, 플라스틱 기판이 제 3 기판(212)으로서 사용된다. 보다 명확하게, 10 μ m 또는 그 이상의 두께를 가지는 수지 기판, 예로서, PES(폴리에테르 설편), PC(폴리카보네이트), PET(폴리에틸렌 테레프탈레이트) 또는 PEN(폴리에틸렌 나프탈레이트)으로 이루어진 기판이 제 3 기판(212)으로서 사용될 수 있다.

수지(통상적으로, 폴리아미드, 아크릴, 폴리아미드 또는 에폭시 수지)로 이루어진 절연막이 제 3 접합 층(213)으로서 사용될 수 있다. 제 3 접합 층(213)이 OLED로부터 볼 때, 관측자 측면(발광 디바이스 사용자의 측면)에 배치되는 경우, 재료는 광 투과성을 가질 필요가 있다.

또한, 본 실시 형태에서, 둘 또는 그 이상의 배리어 막들이 제 3 기판(212)상에 형성된다. 그후, 응력 이완 막이 두 배리어 막들 사이에 제공된다. 결과적으로, 배리어 막들과 응력 이완 막의 적층체 구조를 가지는 밀봉 막이 제 2 기판(212)과 제 3 접합 층(213) 사이에 형성된다.

예로서, 본 실시 형태에서, 실리콘 질화물로 이루어진 막이 제 3 기판(212)상에 스퍼터링에 의해 배리어 막(214a)으로서 형성되고; 폴리이미드를 포함하는 응력 이완 막(214b)이 배리어 막(214a)상에 형성되며; 실리콘 질화물로 형성된 막이 응력 이완 막(214b)상에 스퍼터링에 의해 배리어 막(214c)으로서 형성된다. 배리어막(214a), 응력 이완 막(214b) 및 배리어 막(214c)의 적층체 막은 층체적으로 밀봉 막(214)이라 지칭된다. 그후, 그 위에 밀봉 막(214)이 형성되어 있는 제 3 기판(212)이 제 3 접합 층(213)을 통해 제 2 기판(210)상으로 고정된 소자에 접합된다.

둘 또는 그 이상의 배리어 막들을 제공하는 것으로 충분하다. 배리어 막들의 재료로서, 실리콘 질화물, 실리콘 산질화물, 알루미늄 산화물, 알루미늄 질화물, 알루미늄 산질화물 또는 알루미늄 산질화 규화물(AISiON)이 사용될 수 있다.

알루미늄 산질화 규화물이 비교적 높은 열 전도성을 갖고 있기 때문에, 배리어 막들에 이를 사용하는 것은 소자내에 발생된 열의 효과적인 방산을 허용한다.

광 투과성을 가진 수지가 응력 이완 막(214b)을 위해 사용될 수 있다. 통상적으로, 폴리아미드, 아크릴, 폴리아미드, 폴리이미드 아미드, 벤조사이클로부텐, 에폭시 수지 등이 사용될 수 있다. 본 실시 형태에서, 응력 이완 막이 아크릴을 적용하고, 이어서, 베이킹함으로써, 형성된다.

실리콘 질화물 막이 약 0.4Pa의 스퍼터링 압력하에서 150℃로 유지되는 기판 온도에서 아르곤을 도입시킴으로써 형성된다. 성막은 아르곤에 부가하여 수소와 질소를 도입한 상태로, 타겟으로서 실리콘을 사용하여 수행된다. 실리콘 산질화물의 경우에, 막은 약 0.4Pa의 스퍼터링 압력하에서, 150℃로 유지되는 기판 온도에서 아르곤을 도입시킴으로써 형성된다. 성막은 아르곤에 부가하여 질소와, 이산화 질소와, 수소를 도입시키면서, 타겟으로서 실리콘을 사용하여 수행된다. 대안적으로, 실리콘 산화물이 타겟으로서 사용될 수 있다.

배리어 막들(214a 및 214c) 각각이 50nm 내지 3 μ m의 범위의 두께를 가지는 것이 적합하다. 본 실시 형태에서, 실리콘 질화물 막은 1 μ m의 두께를 갖도록 형성된다.

배리어 막들의 형성 방법은 스퍼터링에 한정되지 않으며; 성막 방법은 본 발명의 실시자에 의해 적절하게 결정될 수 있다. 예로서, 배리어 막들은 LPCVD법, 플라즈마 CVD법 등에 의해 형성될 수 있다.

응력 이완 막(214b)은 200nm 내지 2 μ m의 범위의 두께를 갖는 것이 적합하다. 본 실시 형태에서, 아크릴 막이 1 μ m의 두께를 갖도록 형성된다.

다음에, 도 4b에 도시된 바와 같이, 제 2 접합층(209)이 제 2 기판(210)으로부터 탈피하도록 제거된다. 보다 명확하게, 제 2 접합층(209)은 약 한시간 동안 물속에 침지되어 제거되고, 그에 의해, 제 2 기판이 탈피되는 것을 허용한다.

제 2 접합층(209)의 재료, 소자 또는 막들의 재료, 기판의 재료 등에 따라 제 2 접합층(209)을 탈피시키는 방법을 선택하는 것이 중요하다.

도 4c에 도시된 바와 같이, 둘 또는 그 이상의 층들내의 배리어 막들이 제 2 기판(210)이 탈피되는 측면, 즉, OLED를 통해 제 3 기판에 반대되는 측면상에 제공된다. 그후, 응력 이완 막이 두 배리어 막들 사이에 제공된다.

본 실시 형태에서, 예로서, 제 2 기판(210)과 접촉하는 측면에 대향한 전면막(208)의 측면상에서, 실리콘 질화물로 이루어진 막이 스퍼터링에 의해 배리어 막(215a)으로서 형성되고; 폴리이미드를 포함하는 응력 이완 막(215b)이 배리어 막(215a)상에 형성되며; 실리콘 질화물로 이루어진 막이 응력 이완 막(215b)상에 스퍼터링에 의해 배리어 막(215c)으로서 형성된다. 배리어막(215a)과, 응력 이완 막(215b) 및 배리어 막(215c)은 총체적으로 밀봉막(215)이라 지칭된다.

둘 또는 그 이상의 배리어 막들을 제공하는 것으로 충분하다. 배리어 막들의 재료로서, 실리콘 질화물, 실리콘 산질화물, 알루미늄 산화물, 알루미늄 질화물, 알루미늄 산질화물 또는 알루미늄 산질화 규화물(AISiON)이 사용될 수 있다.

알루미늄 산질화 규화물이 비교적 높은 열 전도성을 갖고 있기 때문에, 배리어 막들에 이를 사용하는 것은 소자내에 발생된 열의 효과적인 방산을 허용한다.

광 투과성을 가진 수지가 응력 이완 막(215b)을 위해 사용될 수 있다. 통상적으로, 폴리이미드, 아크릴, 폴리아미드, 폴리이미드 아미드, 벤조사이클로부텐, 에폭시 수지 등이 사용될 수 있다. 본 실시 형태에서, 응력 이완 막이 아크릴을 적용하고, 이어서 베이킹함으로써, 형성된다.

실리콘 질화물 막이 약 0.4Pa의 스퍼터링 압력하에서 150℃로 유지되는 기판 온도에서 아르곤을 도입시킴으로써 형성된다. 성막은 아르곤에 부가하여 수소와 질소를 도입한 상태로, 타겟으로서 실리콘을 사용하여 수행된다. 실리콘 산질화물의 경우에, 막은 약 0.4Pa의 스퍼터링 압력 하에서, 150℃로 유지되는 기판 온도에서 아르곤을 도입시킴으로써 형성된다. 성막은 아르곤에 부가하여 질소와, 이산화 질소와, 수소를 도입시키면서, 타겟으로서 실리콘을 사용하여 수행된다. 대안적으로, 실리콘 산화물이 타겟으로서 사용될 수 있다.

배리어 막들(215a 및 215c) 각각이 50nm 내지 3 μ m의 범위의 두께를 가지는 것이 적합하다. 본 실시 형태에서, 실리콘 질화물 막은 1 μ m의 두께를 갖도록 형성된다.

배리어 막들의 형성 방법은 스퍼터링에 한정되지 않으며; 성막 방법은 본 발명의 실시자에 의해 적절하게 결정될 수 있다. 예로서, 막은 LPCVD법, 플라즈마 CVD법 등에 의해 형성될 수 있다.

응력 이완 막(215b)은 200nm 내지 2 μ m의 범위의 두께를 갖는 것이 적합하다. 본 실시 형태에서, 아크릴 막이 1 μ m의 두께를 갖도록 형성된다.

이 방식으로, 단일 플라스틱 기판(212)을 사용하여 가요성 발광 디바이스를 얻을 수 있다.

플라스틱 기판의 내열성에 의해 제한되지 않고 반도체를 사용하는 소자(예로서, TFT)가 형성될 수 있기 때문에, 극도로 높은 성능을 가지는 발광 디바이스가 본 실시 형태에 따라 제조될 수 있다.

비록, 본 실시예에서, 제 1 접합층(202)이 비정질 실리콘으로 제조되고, 할로젠 플로라이드를 함유하는 가스로 제거되지만, 본 발명은 이 구조에 제한되지 않는다. 제 1 접합층(202)의 재료 및 제거 방법은 본 발명의 실시자에 의해 적절히 결정될 수 있다. 제 1 접합층(202) 이외의, 제거되는 것이 바람직하지 못한 기판들, 다른 접합층들, 소자들 및 막들이 제 1 접합층(202)의 제거와 함께 제거되지 않고, 그래서, 발광 디바이스의 동작에 영향을 미치지 않도록 제 1 접합층(202)의 재료 및 제거 방법을 결정하는 것이 중요하다. 또한, 제 1 접합층(202)의 재료가 제 1 접합층(202)의 제거 단계 이외의 프로세스에서 그 제거를 허용하지 않는 것이 중요하다.

비록, 폴리이미드 수지의 전구체인 폴리아미 산 용액이, 추후 물로 제거되는 제 2 접합층(209)을 위해 사용되었지만, 본 발명의 구조는 이에 제한되지 않는다. 제 2 접합층(209)의 재료 및 제거 방법은 본 발명의 실시자에 의해 적절히 결정될 수 있다. 제 2 접합층(209) 이외의, 제거되는 것이 바람직하지 못한 기판들, 다른 접합층들, 소자들 및 막들이 제 2 접합층(209)의 제거와 함께 제거되지 않고, 그래서, 발광 디바이스의 동작에 영향을 미치지 않도록 제 2 접합층(209)의 재료 및 제거 방법을 결정하는 것이 중요하다. 또한, 제 2 접합층(209)의 재료가 제 2 접합층(209)의 제거 단계 이외의 프로세스에서 그 제거를 허용하지 않는 것이 중요하다.

예로서, 레이저 빔의 방사에 의해 전체적으로 또는 부분적으로 기화되는 유기 재료가 제 1 및 제 2 접합층들(202, 209)을 위해 사용될 수 있다. 부가적으로, YAG 레이저로부터의 제 2 고조파가 사용되는 경우에 상기 제 1 및 제 2 접합층들(202 및 209)에 의해서만 효과적으로 레이저 빔이 흡수되도록, 레이저 빔 흡수성을 가지는 재료, 예로서, 착색된 또는 검정색 재료(예로서, 검정색 착색제를 함유하는 수지 재료)가 사용되는 것이 적합하다. 소자 형성 단계들에서의 열 처리에 의해 기화되지 않는 재료가 제 1 및 제 2 접합층들(202 및 209)이 사용된다.

제 1, 제 2 및 제 3 접합층들 각각은 단일층 또는 다층일 수 있다. 비정질 실리콘 막 또는 DLC 막이 접합층과 기판 사이에 제공될 수 있다.

제 1 접합층(202) 또는 제 2 접합층(209)은 비정질 실리콘 막으로 형성될 수 있고, 기판은 추후 단계에서, 제 1 접합층(202) 또는 제 2 접합층(209)상으로의 레이저 빔의 방사에 의해 탈피될 수 있다. 이 경우에, 제 1 기판의 탈피를 촉진하기 위해서, 대량의 수소를 포함하는 비정질 실리콘 막을 사용하는 것이 적합하다. 비정질 실리콘 막 내에 함유된 수소는 레이저 빔의 방사에 의해 기화되고, 그래서, 기판이 쉽게 탈피될 수 있다.

레이저 빔으로서, 펄스 발진 또는 연속파 엑시머 레이저, YAG 레이저 또는 YVO₄ 레이저가 사용될 수 있다. 제 1 기판이 탈피되는 경우에, 레이저 빔은 제 1 기판을 통해 제 1 접합층상으로 방사되며, 그래서, 제 1 기판의 탈피를 위해 제 1 접합층만이 기화된다. 제 2 기판이 탈피되는 경우에, 레이저빔은 제 2 기판을 통해 제 2 접합층상으로 방사되며, 그래서, 제 2 기판의 탈피를 위해 제 2 접합층만이 기화된다. 따라서, 제 1 또는 제 2 기판으로서, 적어도 방사된 레이저 빔이 그를 통해 통과하는, 제 3 기판들의 두께보다 큰 두께를 가진 기판, 일반적으로, 광 투과성을 가진 기판, 예로서, 유리 기판, 석영 기판 등을 사용하는 것이 적합하다.

본 발명에서, 레이저 빔이 제 1 또는 제 2 기판을 통과하는 것을 허용하기 위해서, 레이저 빔의 유형 및 제 1 기판의 유형을 적절히 선택하는 것이 필수적이다. 예로서, 석영 기판이 제 1 기판으로서 사용될 때, YAG 레이저(기본파(1064nm), 제 2 고조파(532nm), 제 3 고조파(355nm) 및 제 4 고조파(266nm))나, 엑시머 레이저(파장 : 308nm)가 순차

적으로 석영 기판을 통과하는 것을 허용하는 선형 빔을 형성하도록 사용된다. 엑시머 레이저 빔은 유리 기판을 통과하지 못한다는 것을 인지하여야 한다. 따라서, 유리 기판이 사용될 때, YAG 레이저의 기본파, 제 2 고조파 또는 제 3 고조파, 바람직하게는, 제 2 고조파(파장 : 532nm)가, 순차적으로 유리기판을 통과하는 것이 허용되는 선형 빔을 형성하기 위해 사용된다.

대안적으로, 에로시, 제 1 집합층상에 유체(압력-적용 유체 또는 가스)를 분무함으로써(통상적으로 워터 제트법) 제 1 기판을 분리시키는 방법이 사용될 수 있다.

제 1 집합층이 비정질 실리콘 박으로 이루어지는 경우에, 제 1 집합층은 히드라진의 사용에 의해 제거될 수 있다.

대안적으로, 일본 특개평 8-288522호에 기술되어 있는 예칭에 의해 제 1 기판을 분리시키는 방법이 사용될 수 있다. 특히, 적용된 실리콘 산화물 막(SOG)은 그후 불화 수소에 의해 제거될 제 1 또는 제 2 집합층으로서 사용될 수 있다. 이 경우에, 제거되는 것이 바람직하지 못한 실리콘 산화물 막이 스퍼터링 또는 CVD법을 통해 미세 구조를 갖도록 형성되고, 그래서, 실리콘 산화물 막이 제 1 또는 제 2 집합층이 불화 수소에 의해 제거될 때, 높은 선택비를 제공하는 것이 중요하다.

이런 구조에서, 극도로 작은 두께, 특히, 50 내지 300 μm , 바람직하게는 150 내지 200 μm 의 두께를 가지는 기판이 제 3 기판으로서 사용되는 경우에도, 높은 신뢰성을 가진 발광 디바이스가 얻어질 수 있다. 종래의 공지된 제조 장치들을 사용하여 이런 얇은 기판상에 소자를 형성하는 것은 어렵다. 그러나, 소자가 제 1 및 제 2 기판들상에 접합되어 형성되기 때문에, 얇은 기판을 사용하는 제조 장치들은 장치들을 개조하지 않고도 사용될 수 있다.

다층 전연막을 포함하는 밀봉 박을 사용함으로써, 습기 또는 산소의 침투로 인한 열화를 효과적으로 억제하는 것이 가능하다. 또한, 기판의 굴곡시 균열이 발생하는 것이 방지된다. 결과적으로, 개선된 유연성을 가진 발광 디바이스가 실현될 수 있다.

제 1 및 제 2 실시 형태들에서, OLED의 아노드 또는 캐소드 중 어느 하나가 화소 전극으로서 사용될 수 있다.

실시예들

이하, 본 발명의 실시예들을 설명한다.

(제 1 실시예)

제 1 실시예에서, 본 발명에 따른 발광 디바이스의 외관과, 그 FPC에 대한 접속이 설명된다.

도 5a는 제 1 실시 형태에 설명된, 본 발명에 따른 발광 디바이스의 평면도의 예를 도시하고 있다. 제 2 기판(301)과 제 3 기판(302)은 양자 모두 가요성을 가지는 플라스틱 기판들이다. 화소부(303)와 구동 회로들(소스측 구동 회로(304) 및 게이트측 구동 회로(305))이 제 2 기판(301)과 제 3 기판(302) 사이에 제공되어 있다.

도 5a에서, 소스측 구동 회로(304)와 게이트측 구동 회로(305)가 화소부(303)도 그위에 형성되어 있는 기판상에 형성되어 있는 예를 도시한다. 그러나, 소스측 구동 회로(304)와 게이트측 구동 회로(305)로 표시된 구동 회로들은 화소부(303)가 형성되어 있는 기판과는 상이한 기판상에 형성될 수 있다. 이 경우에, 구동 회로들은 FPC 등을 경유하여 화소부(303)에 연결될 수 있다.

소스측 구동 회로(304)와 게이트측 구동 회로(305)의 수 및 배열은 도 5a에 도시된 구조에 제한되지 않는다.

참조 부호 306은 FPC를 나타내며, 이를 경유하여, 제어기를 포함하는 IC로부터의 신호나 소스 전압이 화소부(303), 소스측 구동 회로(304) 및 게이트측 구동 회로(305)에 공급된다.

도 5b는 FPC(306)와 제 2 기판(301)이 서로 접속되어 있는 도 5a에 점선으로 둘러싸여진 부분의 확대도이다. 도 5c는 도 5b의 A-A' 선을 따라 취한 단면도이다.

신호나 소스 전압을 화소부(303), 소스측 구동 회로(304) 및 게이트측 구동 회로(305)에 공급하도록 연장되는 배선들(310)이 제 2 기판(301)과 제 3 기판(302) 사이에 제공되어 있다. 단자들(311)이 FPC(306)를 위해 제공되어 있다.

제 2 기판(301)과, 제 2 기판(301)과 연장된 배선들(310) 사이에 제공된 밀봉막 및 절연막 같은 다양한 막들이 접촉 구멍들(313)을 제공하기 위해 레이저 빔 등에 의해 부분적으로 제거되어 있다. 따라서, 복수의 연장된 배선들(310)이 접촉 구멍들(313)을 통해 노출되어 있으며, 각각 이방성을 가진 도전성 수지(312)를 통해 단자들(311)에 접속되어 있다.

비록, 연장된 배선들(310)이 제 2 기판(301)의 측면으로부터 부분적으로 노출되어 있는 예들이 도 5a 내지 도 5c에 도시되어 있지만, 본 발명은 이에 한정되지 않는다. 대안적으로, 연장된 배선들은 제 3 기판(302)의 측면으로부터 부분적으로 노출될 수 있다.

도 6a는 굴곡된 상태로, 도 5a에 도시된 발광 디바이스를 도시하고 있다. 제 1 실시 형태에 기술된 발광 디바이스의 제 2 기판 및 제 3 기판 양자 모두가 가요성을 가지고 있기 때문에, 발광 디바이스는 도 6a에 도시된 바와 같이 소정 각도로 굴곡될 수 있다. 따라서, 이런 발광 디바이스는 굴곡된 표면을 가지는 디스플레이, 소 윈도우 등에 사용될 수 있기 때문에, 광범위한 응용 분야들을 가진다. 더욱이, 제 1 실시 형태에 기술된 발광 디바이스 뿐만 아니라, 제 2 실시 형태에 기술된 발광 디바이스도 유사하게 굴곡될 수 있다.

도 6b는 도 6a에 도시된 발광 디바이스의 단면도이다. 복수의 소자들이 제 2 기판(301)과 제 3 기판(302) 사이에 형성되어 있다. 여기에는, TFT들(303a, 303b 및 303c)와 OLED(304)가 각각 도시되어 있다. 파선(309)은 제 2 기판(301)과 제 3 기판(302) 사이의 중앙선을 나타낸다.

배리어 막(306a), 응력 이완 막(306b) 및 배리어 막(306c) (총체적으로 밀봉막(306)이라 지칭됨)이 제 2 기판(301)과 복수의 소자들 사이에 제공되어 있다. 배리어 막(307a), 응력 이완 막(307b) 및 배리어 막(307c) (총체적으로 밀봉막(307)이라 지칭됨)이 제 3 기판(302)과 복수의 소자들 사이에 제공되어 있다.

또한, 제 2 집합층(305)이 밀봉막(306)과 복수의 소자들 사이에 제공되어 있으며, 제 3 집합층(308)은 밀봉막(307)과 복수의 소자들 사이에 제공되어 있다.

다음에, 제 2 실시 형태에 설명된 발광 디바이스의 FPC에 대한 연결이 설명된다. 도 7은 제 2 실시 형태에 설명된 발광 디바이스와 FPC가 서로 연결되는 부분을 도시하는 단면도이다.

연장을 위한 배선(403)이 제 3 기판(401)상에 제공되어 있다. 밀봉막(402)이 연장을 위한 배선(403)과, 제 3 기판(401)상에 제공된 복수의 소자들을 덮도록 형성되어 있다. 비록, 밀봉막(402)이 단일층 막인 것으로 도 7에 도시되어 있지만, 밀봉막은 실제로 복수의 배리어 막들과 그들 사이에 개재되어 있는 응력 이완 막들을 포함한다.

제 3 기판(401)과 연장된 배선(403) 사이에 제공된 절연막과 밀봉막(402) 같은 다양한 막들은 레이저 빔 등에 의해 부분적으로 제거되어 접촉 구멍을 제공한다. 따라서, 연장된 배선(403)은 접촉 구멍을 통해 노출되고, 이방성을 가진 도전성 수지(406)를 통해 FPC(404)내에 포함된 단자(405)에 전기적으로 접속된다.

비록, 연장된 배선이 밀봉막(402)의 측면으로부터 부분적으로 노출되는 예가 도 7에 도시되어 있지만, 본 발명은 이에 제한되지 않는다. 대안적으로, 연장된 배선은 제 3 기판의 측면으로부터 부분적으로 노출될 수 있다.

(제 2 실시예)

제 2 실시예에서, 본 발명에 따른 제 1 실시 형태의 예가 설명된다.

도 8a에서, 적용된 실리콘 산화물 막(SOG)으로 이루어진 제 1 집합층(502)이 100 내지 500nm(본 실시예에서는 300nm)의 두께를 갖도록 제 1 기판(501)상에 형성되어 있다. 비록, 본 실시예에서, 유리 기판이 제 1 기판(501)으로서 사용되지만, 석영 기판, 실리콘 기판, 금속 기판 또는 세라믹 기판이 대안적으로 사용될 수 있다. 추후 제조 단계들에서의 처리 온도를 견딜 수 있는 한, 소정의 재료가 제 1 기판(501)을 위해 사용될 수 있다.

SOG막 형성 방법으로서, 스펀 코팅에 의해 요오드 용액이 SOG 용액에 추가되고, 그후, 이것이 그로부터 요오드를 제거하기 위해 건조된다. 그후, 약 400℃에서 열처리가 수행되어 SOG 막을 형성한다. 본 실시예에서, 100nm의 두께를 가진 SOG막이 형성된다. 제 1 집합층(502)으로서 SOG 막을 형성하는 방법은 상술한 방법에 제한되는 것은 아니다. 유기 SOG 및 무기 SOG 양자 모두가 SOG로서 사용될 수 있으며, 추후 단계에서 불화 수소로 제거될 수 있는 한, 소정의 SOG가 사용될 수 있다. 제거되는 것이 바람직하지 못한 실리콘 산화물막이 스퍼터링 또는 CVD법에 의해 미세 구조를 갖도록 형성되고, 그래서, 제 1 집합층이 불화 수소로 제거될 때, 높은 선택비를 제공하는 것이 중요하다.

다음에, Al로 이루어진 보호막이 저압 열간 CVD법, 플라즈마 CVD법, 스퍼터링법 또는 증발법에 의해 제 1 집합층(502)상에 형성된다. 본 실시예에서, Al로 이루어진 보호막(503)이 스퍼터링에 의해 제 1 집합층(502)상에 200nm의 두께를 갖도록 형성된다.

비록, Al이 본 실시예에서, 보호막(503)의 재료로서 사용되지만, 본 발명은 이에 제한되지 않는다. 제 1 집합층(502)의 제거시 제거되지 않고, 보호막(503)을 제거하는 단계 이외의 단계에서 제거되지 않는 재료를 선택하는 것이 중요하다. 또한, 보호막(503) 제거 단계에서, 다른 막들 및 기판들의 제거를 허용하지 않는 재료인 것이 중요하다. 보호막(503)은 제 1 집합층(502)이 제 1 기판(501)의 탈피를 위해 제거될 때, 제 1 기판(501)상에 형성된 소자를 보호하도록 기능한다.

다음에, 보호막(503)상에 소자가 형성된다(도 8b). 도 8b에서, 구동 회로내의 TFT들(504a, 504b)이 대표적인 소자들로서 도시되어 있다.

본 실시예에서, TFT(504a)는 n-채널 TFT이며, TFT(504b)는 p-채널 TFT이다. TFT들(504a 및 504b)은 CMO S를 형성한다.

TFT(504a)는 보호막(503)상에 형성된 제 1 전극(550)과, 제 1 전극(550)을 덮도록 형성된 절연막(551)과, 절연막(551)과 접촉하도록 형성된 반도체 막(552)과, 반도체막(552)과 접촉하도록 형성된 절연막(553), 및, 절연막(553)과 접촉하는 제 2 전극(554)을 포함한다.

TFT(504b)는 제 1 전극(560)과, 제 1 전극(560)을 덮도록 형성된 절연막(551)과, 절연막(551)과 접촉하도록 형성된 반도체 막(562)과, 반도체막(562)과 접촉하도록 형성된 절연막(553), 및, 절연막(553)과 접촉하는 제 2 전극(564)을 포함한다.

제 1 전극들(550 및 560)과 동시에 형성된 단자(570)가 보호막(503)상에 제공된다.

그후, 절연막(565)이 TFT들(504a 및 504b)을 덮도록 형성된다. 반도체 막(552) 및 단자(570)와 접촉하는 배선(571)과, 반도체막들(552 및 562)과 접촉하는 배선(572) 및 반도체 막(562)과 접촉하는 배선(573)이 절연막들(565, 551 및 553)을 통해 형성된 접촉 구멍들을 경유하여 형성된다.

절연막(574)은 배선들(571, 572 및 573)과, 절연막(565)을 덮도록 형성된다. 비록, 도시되어 있지는 않지만, OLED가 절연막(574)상에 형성된다.

그후, 절연막(508)이 이들 소자들을 덮도록 형성된다. 절연막(508)이 그 형성 이후에 보다 평탄한 표면을 가지는 것이 적합하다. 절연막(508)은 필수적으로 형성될 필요는 없다.

다음에, 도 8c에 도시된 바와 같이, 제 2 기판(510)이 제 2 접합층(509)을 통해 제 1 기판에 접합된다. 플라스틱 기판이 본 실시예에서 제 2 기판(510)으로서 사용된다. 보다 명확하게, 10 μ m 또는 그 이상의 두께를 가지는 수지 기판, 예로서, PES(폴리에테르 설펜), PC(폴리카보네이트), PET(폴리에틸렌 테레프탈레이트) 또는 PEN(폴리에틸렌 나프탈레이트)로 제조된 기판이 제 2 기판(510)으로서 사용될 수 있다.

제 2 접합층(509)의 재료로서, 제 1 접합층(502)이 추후 단계에서 제거될 때, 높은 선택비를 제공할 수 있는 재료를 사용하는 것이 필요하다. 통상적으로, 수지로 제조된 절연막이 사용될 수 있다. 비록, 본 실시예에서, 폴리이미드가 사용되었지만, 아크릴, 폴리아미드 또는 에폭시 수지도 사용될 수 있다. 제 2 접합층(509)이 OLED로부터 볼 때, 관측자 측면(발광 디바이스 사용자의 측면)상에 배치되는 경우에, 재료는 광 투과성을 가질 필요가 있다.

또한, 본 실시예에서, 둘 이상의 배리어 막들이 제 2 기판(510)상에 형성된다. 그후, 응력 이완 막이 두 배리어 막들 사이에 제공된다. 결과적으로, 배리어 막들과, 응력 이완 막의 적층체 구조를 가지는 밀봉막이 제 2 기판(510)과 제 2 접합층(509) 사이에 형성된다.

예로서, 본 실시예에서, 실리콘 질화물로 이루어진 막이 스퍼터링에 의해 제 2 기판(510)상에 배리어 막(511a)으로서 형성되고; 폴리이미드를 함유하는 응력 이완 막(511b)이 배리어막(511a)상에 형성되며; 실리콘 질화물로 이루어진 막이 응력 이완 막(511b)상에 스퍼터링에 의해 배리어 막(511c)으로서 형성된다. 배리어막(511a), 응력 이완막(511b) 및 배리어막(511c)의 적층체 막은 총체적으로 밀봉막(511)이라 지칭된다. 그후, 그 위에 밀봉막(511)이 형성된 제 2 기판(510)이 제 2 접합층(509)을 통해 제 1 기판상에 형성된 소자에 접합된다.

둘 이상의 배리어막들을 제공하는 것으로 충분하다. 배리어막의 재료로서, 실리콘 질화물, 실리콘 산질화물, 알루미늄 산화물, 알루미늄 질화물, 알루미늄 산질화물 또는 알루미늄 산질화 규화물(AISiON)이 사용될 수 있다.

광 투과성을 가진 수지가 응력 이완 막(511b)을 위해 사용될 수 있다. 통상적으로, 폴리이미드, 아크릴, 폴리아미드, 폴리아미드 아미드, 벤조사이클로부텐, 에폭시 수지등이 사용될 수 있다. 본 실시예에서, 응력 이완 막은 열적으로 중합될 수 있는 폴리이미드를 적용하고, 그후 베이킹함으로써, 형성된다.

실리콘 질화물 막은 약 0.4Pa의 스퍼터링 압력하에서 150 $^{\circ}$ C로 유지되는 기판 온도에서 아르곤을 도입시킴으로써 형성된다. 성막은 아르곤에 부가하여 수소와 질소를 도입한 상태로, 타겟으로서 실리콘을 사용하여 수행된다. 실리콘 산질화물의 경우에, 막은 약 0.4Pa의 스퍼터링 압력 하에서, 150 $^{\circ}$ C로 유지되는 기판 온도에서 아르곤을 도입시킴으로써 형성된다. 성막은 아르곤에 부가하여 질소와, 이산화 질소와, 수소를 도입시키면서, 타겟으로서 실리콘을 사용하여 수행된다. 대안적으로, 실리콘 산화물이 타겟으로서 사용될 수 있다.

배리어 막들(511a 및 511c) 각각이 50nm 내지 3 μ m의 범위의 두께를 가지는 것이 적합하다. 본 실시예에서, 실리콘 질화물 막이 1 μ m의 두께를 갖도록 형성된다.

배리어 막들의 형성 방법은 스퍼터링에 한정되지 않으며; 성막 방법은 본 발명의 실시자에 의해 적절하게 결정될 수 있다. 예로서, 막은 LPCVD법, 플라즈마 CVD법 등에 의해 형성될 수 있다.

응력 이완 막(511b)은 200nm 내지 2 μ m의 범위의 두께를 갖는 것이 적합하다. 본 실시예에서, 폴리이미드 막이 1 μ m의 두께를 갖도록 형성된다.

제 1 및 제 2 배리어층들(511a 및 511c)과, 응력 이완층(511b)에 대하여, 제 1 접합층(502)이 추후 단계에서 제거될 때, 높은 선택비를 제공하는 재료들을 사용하는 것이 필요하다.

도 8c에 도시된 프로세스로 인해, OLED는 공기로부터 완전히 격리될 수 있다. 결과적으로, 산소로 인한 유기 발광 재료의 연화가 실질적으로 완전히 억제될 수 있으며, 그에 의해, OLED의 신뢰성이 현저히 개선된다.

다음에, 도 8d에 도시된 바와 같이, 제 1 집합층(502)이 불화 수소로 제거된다. 본 실시예에서, 제 1 및 제 2 기판들(501, 510)과 그들 사이에 형성되어 있는 모든 원소들 및 전체 막들이 버퍼링된 불화수소산($\text{HF}/\text{NH}_4\text{F} = 0.01$ 내지 0.2, 예로서 0.1) 내에 침지되어 제 1 집합층(502)이 제거된다.

제거되는 것이 바람직하지 못한 실리콘 산화물막이 스퍼터링 또는 CVD법에 의해 형성된 미세막으로 이루어지기 때문에, 단지 제 1 집합층만이 불화 수소로 제거되게 된다.

본 실시예의 경우에, 제 1 집합층(502)이 그 노출된 에지 부분들로부터 점진적으로 에칭된다. 제 1 기판(501)과 보호막(503)은 제 1 집합층(502)이 완전히 제거될 때, 서로 분리된다. 제 1 집합층(502)의 제거 이후에, 각각 박막들의 적층체를 포함하는 TFT들과 OLED가 제 2 기판(510) 상에 남게 된다.

그 에지들로부터 제 1 집합층(502)을 완전히 제거하기 위해 소요되는 시간이 제 1 기판의 크기가 커지는 것과 함께 길어지게 되기 때문에, 대형 기판은 제 1 기판(501)으로서 부적합하다. 따라서, 본 실시예에는 3인치 또는 그 이하(바람직하게는, 1인치 또는 그 이하)의 대각선을 가지는 제 1 기판(501)을 위해 수행되는 것이 적합하다.

다음에, 도 9a에 도시된 바와 같이, 보호막(503)이 제거된다. 본 실시예에서, 단자(570)와 제 1 전극들(550 및 560)을 노출시키도록 인산형 에칭제로 습식 에칭함으로써, Al로 이루어진 보호막(503)이 제거된다.

그후, 도 9b에 도시된 바와 같이, 이방성을 가진 도전성 수지로 이루어진 제 3 집합층(513)이 형성된다. 제 3 집합층(513)을 통해, 제 3 기판(512)이 단자(570)와 제 1 전극들(550 및 560)이 노출되는 측면에 부착된다.

본 실시예에서, 플라스틱 기판이 제 3 기판(512)으로서 사용된다. 보다 명확하게, 10 μm 이상의 두께를 가진 수지 기판, 예로서, PES(폴리에테르 설펜), PC(폴리카보네이트), PET(폴리에틸렌 테레프탈레이트) 또는 PEN(폴리에틸렌 나프탈레이트)로 제조된 기판이 제 3 기판(512)으로서 사용될 수 있다.

제 3 집합층(513)으로서, 수지(통상적으로, 폴리아미드, 아크릴, 폴리아미드 또는 에폭시 수지)로 제조된 전연막이 사용될 수 있다. 제 3 집합층(513)이 OLED로부터 볼 때, 관측자 측면에 배치되는 경우에, 재료는 광 투과성을 가져야 할 필요가 있다.

본 실시예에서, 둘 이상의 배리어 막들이, 제 3 기판(512) 상에 형성된다. 그후, 응력 이완 막이 두 배리어 막들 사이에 제공된다. 결과적으로, 배리어 막들과 응력 이완 막의 적층체 구조를 가지는 빌봉막이 제 3 기판(512)과 제 3 집합층(513) 사이에 형성된다.

예로서, 본 실시예에서, 실리콘 질화물로 이루어진 막이 제 3 기판(512) 상에 스퍼터링에 의해 배리어막(514a)으로서 형성되고; 폴리아미드를 포함하는 응력 이완막(514b)이 배리어막(514a) 상에 형성되며; 실리콘 질화물로 이루어진 막이 스퍼터링에 의해 응력 이완막(514b) 상에 배리어 막(514c)으로서 형성된다. 배리어막(514a), 응력 이완막(514b) 및 배리어막(514c)의 적층체 막은 층체적으로 빌봉막(514)이라 지칭된다. 그후, 그 위에 빌봉막(514)이 형성된 제 3 기판(512)이 제 3 집합층(513)을 통해 제 2 기판(510) 상으로 고정된 소자에 접합된다.

둘 또는 그 이상의 배리어 막들을 제공하는 것으로 충분하다. 배리어 막들의 재료로서, 실리콘 질화물, 실리콘 산질화물, 알루미늄 산화물, 알루미늄 질화물, 알루미늄 산질화물 또는 알루미늄 산질화 규화물(AISiON)이 사용될 수 있다.

광 투과성을 가진 수지가 응력 이완 막(514b)을 위해 사용될 수 있다. 통상적으로, 폴리아미드, 아크릴, 폴리아미드, 폴리아미드 아미드, 벤조사이클로부텐, 에폭시 수지 등이 사용될 수 있다. 본 실시예에서, 열적으로 중합될 수 있는 폴리아미드를 적용하고, 이어서 베이킹함으로써, 응력 이완 막이 형성된다.

실리콘 질화물 막이 약 0.4Pa의 스퍼터링 압력하에서 150℃로 유지되는 기판 온도에서 아르곤을 도입시킴으로써 형성된다. 성막은 아르곤에 부가하여 수소와 질소를 도입한 상태로, 타겟으로서 실리콘을 사용하여 수행된다. 실리콘 산질화물의 경우에, 막은 약 0.4Pa의 스퍼터링 압력 하에서, 150℃로 유지되는 기판 온도에서 아르곤을 도입시킴으로써 형성된다. 성막은 아르곤에 부가하여 질소와, 이산화 질소와, 수소를 도입시키면서, 타겟으로서 실리콘을 사용하여 수행된다. 대안적으로, 실리콘 산화물이 타겟으로서 사용될 수 있다.

배리어 막들(514a 및 514c) 각각이 50nm 내지 3 μ m의 범위의 두께를 가지는 것이 적합하다. 본 실시예에서, 실리콘 질화물 막은 1 μ m의 두께를 갖도록 형성된다.

배리어 막들의 형성 방법은 스퍼터링에 한정되지 않으며; 성막 방법은 본 발명의 실시자에 의해 적절하게 결정될 수 있다. 예로서, 막은 LPCVD법, 플라즈마 CVD법 등에 의해 형성될 수 있다.

응력 이완 막(114b)은 200nm 내지 2 μ m의 범위의 두께를 갖는 것이 적합하다. 본 실시 형태에서, 폴리이미드 막이 1 μ m의 두께를 갖도록 형성된다.

그후, 레이저 빔들의 방사에 의해 제 3 기판(512)과, 밀봉막(514)을 통해 접촉 구멍이 형성된다. Al은 접촉구멍이 형성되어 있는 제 3 기판의 일부와 그 주변상에서 증발되고, 그에 의해, 제 3 기판(512)의 각 표면들상에 단자들(580, 581)을 형성하며, 이는 서로 전기적으로 접속된다. 단자들(580 및 581)의 형성 방법은 상술한 구조에 제한되지 않는다.

제 3 기판(512)상에 형성된 단자(580)는 제 1 전극들(550 및 560)과 동시에 형성된 단자(570)에 제 3 집합층(513)을 통해 전기적으로 접속된다.

이 방식으로, 플라스틱 기판들(510 및 512) 사이에 개재되어 있는 가요성 발광 디바이스가 얻어질 수 있다. 제 2 기판(510)과 제 3 기판(512)을 위해 동일 재료를 사용하면, 기판들(510 및 512)은 동일 열 팽창 계수를 갖는다. 결과적으로, 기판들(510 및 512)은 온도 변화로 인한 응력 변형에 의해 잘 영향을 받지 않을 수 있다.

도 9c에 도시된 바와 같이, 제 3 집합층(513)과 접촉하지 않지만, 제 3 기판(512)과 접촉하도록 형성된 단자(581)와, FPC(590)에 포함된 단자(591)가 이방성을 가지는 전기 도전성 수지로 이루어진 제 4 집합층(592)을 통해 서로 접속된다.

본 실시예에 따라 제조된 발광 디바이스는 플라스틱 기판의 내열성에 의해 제한되지 않고 반도체(예로서, TFT)를 사용하는 소자의 제조를 가능하게 한다. 따라서, 극도로 높은 성능을 가진 발광 디바이스가 얻어질 수 있다.

비록, 본 실시예에서, 제 1 집합층(502)이 SOG로 이루어지고, 불화 수소로 제거되었지만, 본 발명은 이 구조에 제한되지 않는다. 제 1 집합층(502)의 재료 및 제거 방법은 본 발명의 실시자에 의해 적절히 결정될 수 있다. 제거되는 것이 바람직하지 못한 제 1 집합층(502) 이외의 기판들, 소자들 및 막들이 제 1 집합층(502)의 제거와 함께 제거되지 않고, 발광 디바이스의 동작에 영향을 미치지 않도록 제 1 집합층(502)의 재료 및 제거 방법을 결정하는 것이 중요하다. 더욱이, 제 1 집합층(502)의 재료가 제 1 집합층(502)의 제거 단계 이외의 프로세스에서 그 제거를 허용하지 않는 것도 중요하다.

예로서, 레이저 빔의 방사에 의해 전체적으로 또는 부분적으로 기화되는 유기 재료가 제 1 집합층(502)으로서 사용될 수 있다. 부가적으로, YAG 레이저로부터의 제 2 고조파가 사용되는 경우에 단지 제 1 집합층(502)에 의해서만 효과적으로 레이저 빔이 흡수되도록, 레이저 빔 흡수성을 가지는 재료, 예로서, 착색된 또는 검정색 재료(예로서, 검정색 착색제를 함유하는 수지 재료)가 사용되는 것이 적합하다. 소자 형성 단계들에서의 열 처리에서 기화되지 않는 제 1 집합

층(502)이 사용된다.

제 1, 제 2 및 제 3 접합층들 각각은 단일층 또는 다층일 수 있다. 비정질 실리콘 막 또는 DLC 막이 접합층과 기판 사이에 제공될 수 있다.

제 1 접합층(502)은 비정질 실리콘 막으로 형성될 수 있고, 제 1 기판은 추후 단계에서, 제 1 접합층(502) 상으로의 레이저 빔의 방사에 의해 탈피될 수 있다. 이 경우에, 제 1 기판의 탈피를 촉진하기 위해서, 대량의 수소를 포함하는 비정질 실리콘 막을 사용하는 것이 적합하다. 비정질 실리콘 막 내에 함유된 수소는 레이저 빔의 방사에 의해 기화되고, 그래서, 제 1 기판이 쉽게 탈피될 수 있다.

레이저 빔으로서, 펄스 또는 연속파 엑시머 레이저, YAG 레이저 또는 YVO₄ 레이저가 사용될 수 있다. 레이저 빔은 제 1 기판을 통해 제 1 접합층 상으로 방사되며, 그래서, 제 1 기판을 탈피시키기 위해 제 1 접합층만이 기화된다. 따라서, 제 1 기판으로서, 적어도 방사된 레이저 빔이 그를 통해 통과하는 제 2 및 제 3 기판들의 두께보다 두꺼운 기판, 일반적으로, 광 투과성을 가진 기판, 예로서, 유리 기판, 석영 기판 등을 사용하는 것이 적합하다.

본 발명에서, 레이저 빔이 제 1 기판을 통과하는 것을 허용하기 위해서, 레이저 빔 및 제 1 기판의 유형을 적절히 선택하는 것이 필수적이다. 예로서, 석영 기판이 제 1 기판으로서 사용될 때, YAG 레이저(기본파(1064nm), 제 2 고조파(532nm), 제 3 고조파(355nm) 및 제 4 고조파(266nm))나, 엑시머 레이저(파장 : 308nm)가 순차적으로 석영 기판을 통과하는 것을 허용하는 선형 빔을 형성하도록 사용된다. 엑시머 레이저 빔은 유리 기판을 통과하지 못한다는 것을 인지하여야 한다. 따라서, 제 1 기판으로서 유리 기판이 사용될 때, YAG 레이저의 기본파, 제 2 고조파 또는 제 3 고조파, 바람직하게는, 제 2 고조파(파장 : 532nm)가, 순차적으로 유리기판을 통과하는 것이 허용되는 선형 빔을 형성하기 위해 사용된다.

대안적으로, 제 1 접합층 상에 유체(압력-적용 유체 또는 가스)를 분무함으로써(통상적으로 워터 제트법) 제 1 기판을 분리시키는 방법 또는 본 방법의 조합이 사용될 수 있다.

제 1 접합층이 비정질 실리콘 막으로 이루어지는 경우에, 제 1 접합층은 히드라진을 사용함으로써 제거될 수 있다.

대안적으로, 일본 특개평 8-288522호에 기술되어 있는 애칭에 의해 제 1 기판을 분리시키는 방법이 사용될 수 있다. 특히, 적용된 실리콘 산화물 막(SOG)은 그후 불화 수소에 의해 제거되는 제 1 접합층으로서 사용될 수 있다. 이 경우에, 제거되는 것이 바람직하지 못한 실리콘 산화물 막이 스퍼터링 또는 CVD법을 통해 미세 구조를 갖도록 형성되고, 그래서, 실리콘 산화물 막이 제 1 접합층이 불화 수소에 의해 제거될 때, 높은 선택비를 제공하는 것이 중요하다.

이런 구조에서, 극도로 작은 두께, 특히, 50 내지 300nm, 바람직하게는 150 내지 200nm의 두께를 가지는 기판들이 제 2 및 제 3 기판들로서 사용되는 경우에도, 높은 신뢰성을 가진 발광 디바이스가 얻어질 수 있다. 종래의 공지된 제조 장치들을 사용하여 이런 얇은 기판상에 소자를 형성하는 것은 어렵다. 그러나, 소자가 제 1 기판상에 접합되어 형성되기 때문에, 제조 장치들은 장치들을 개조하지 않고도 두꺼운 기판을 사용함으로써 사용될 수 있다.

다층 절연막을 포함하는 밀봉 막을 사용함으로써, 습기 또는 산소의 침투로 인한 열화를 효과적으로 억제하는 것이 가능하다. 또한, 기판의 굴곡시 균열이 발생하는 것이 방지된다. 결과적으로, 개선된 유연성을 가진 발광 디바이스가 실현될 수 있다.

(제 3 실시예)

본 실시예에서, 화소부와, 화소부의 주변에 배열된 구동회로(소스 신호 라인 드라이버 회로 및 게이트 신호 라인 드라이버 회로)의 TFT를 형성하는 방법이 상세히 설명된다. 본 실시예에서, 드라이버 회로와 관련하여, CMOS 회로는 단지 단순한 설명을 위해 기본 유니트로서 도시되어 있다.

먼저, 도 10a에 도시된 바와 같이, 비정질 실리콘막으로 형성된 제 1 접합막(5001)이, CORNING 코포레이션 등의 #7059 유리 및 #1737 유리에 의해 대표되는 알루미늄 보로실리케이트 유리나 바륨 보로실리케이트 유리 같은 유리로 형성된 제 1 기판(5000)상에 100 내지 500nm(바람직하게는, 300nm)의 두께로 형성된다. 제 1 접합막(5001)은 저압 CVD법, 플라즈마 CVD법, 스퍼터링법 또는 증발법 등의 사용에 의해 형성된다. 제 1 접합막(5001)은 본 실시예에서, 스퍼터링법을 사용하여 형성된다.

다음에, 실리콘 산화물 막, 실리콘 산질화물 막 또는 실리콘 질화물 산화물 막 같은 절연막으로 형성된 기저막(5002)이 제 1 접합막(5001)상에 형성된다. 기저막(5002)은 기판(5000)을 탈피하기 위해 제 1 접합층(5001)이 제거될 때, 기판(5000)상에 형성된 소자를 보호하는 효과를 가진다. 예로서, 플라즈마 CVD법에 의해 SiH_4 , NH_3 및 N_2O 로 형성된, 10 내지 200nm(바람직하게는 50 내지 100nm)의 두께를 가지는 실리콘 질화물 산화물 막이 형성된다. 유사하게, SiH_4 와 N_2O 로 형성된, 50 내지 200nm(바람직하게는 100 내지 150nm)의 두께를 가지는 수화(hydrogenation)된 실리콘 질화물 산화물 막이 그 위에 적층된다. 본 실시예에서, 기저막(5002)은 2층 구조를 가지지만, 상술한 절연막들 중 하나로 이루어진 단층막으로서 형성되거나, 상술한 절연막들로 이루어진 둘 이상의 층들을 가지는 적층체막으로서 형성될 수도 있다.

아일랜드형 반도체층들(5003 내지 5006)이 비정질 구조를 가지는 반도체막상에 레이저 결정화 또는 공지된 열적 결정화를 수행함으로써 얻어진 결정 반도체막으로부터 형성된다. 이들 아일랜드형 반도체 층들(5003 내지 5006) 각각은 25 내지 80nm(바람직하게는 30 내지 60nm)의 두께를 가진다. 결정 반도체막의 재료에는 어떠한 제한도 부여되지 않지만, 결정 반도체막은 실리콘, 실리콘 게르마늄(SiGe) 합금등으로 형성되는 것이 적합하다.

결정 반도체 막이 레이저 결정화 방법에 의해 제조될 때, 펄스 발진형 또는 연속 발광형의 엑시머 레이저, YAG 레이저 및 YVO_4 레이저가 사용된다. 이들 레이저들이 사용될 때, 레이저 방출 다이오드로부터 방사된 레이저 빔이 광학 시스템에 의해 선형 형상으로 수렴되고 그후, 반도체막으로 조사되는 방법을 사용하는 것이 적합하다. 결정화 조건은 작업자에 의해 적절히 선택된다. 엑시머 레이저가 사용될 때, 펄스 발진 주파수는 300Hz로 설정되고, 레이저 에너지 밀도는 100 내지 400mJ/cm² (통상적으로 200 내지 300 mJ/cm²)으로 설정된다. YAG 레이저가 사용될 때, 펄스 발진 주파수는 그 제 2 하모닉을 사용함으로써, 30 내지 300kHz로 설정되며, 레이저 밀도는 300 내지 600mJ/cm² (통상적으로, 350 내지 500mJ/cm²)으로 설정되는 것이 적합하다. 선형 형상으로 수렴되고, 100 내지 1000 μm , 예로서, 400 μm 의 폭을 가지는 레이저 빔이 전체 기판면에 조사된다. 이때, 선형 레이저 빔의 중첩비는 50 내지 90%로 설정된다.

다음에, 아일랜드형 반도체 층들(5003 내지 5006)을 덮는 게이트 절연막(5007)이 형성된다. 게이트 절연막(5007)은 플라즈마 CVD법 또는 스퍼터링법에 의해 40 내지 150nm의 두께를 가지는 실리콘을 함유하는 절연막으로부터 형성된다. 본 실시예에서, 게이트 절연막(5007)은 120nm 두께의 실리콘 질화물 산화물 막으로부터 형성된다. 그러나, 게이트 절연막은 이런 실리콘 질화물 산화물 막에 제한되는 것은 아니며, 단층 또는 적층된 층 구조를 가지는, 다른 것을 함유하는 절연막일 수 있다. 예로서, 실리콘 산화물 막이 사용될 때, TEOS(테트라에틸 오르소실리케이트) 및 O_2 가 플라즈마 CVD법에 의해 혼합되고, 반응 압력은 40Pa로 설정되며, 기판 온도는 300 내지 400 $^{\circ}\text{C}$ 로 설정되고, 고주파수(13.56MHz) 출력 밀도는 전기 방전을 위해 0.5 내지 0.8W/cm²으로 설정된다. 따라서, 실리콘 산화물 막은 방전에 의해 형성될 수 있다. 이 방식으로 제조된 실리콘 산화물 막은 그후, 400 내지 500 $^{\circ}\text{C}$ 에서의 열적 어닐링에 의해 게이트 절연막으로서 적합한 특성들을 획득할 수 있다.

게이트 전극을 형성하기 위한 제 1 도전막(5008)과 제 2 도전막(5009)이 게이트 절연막(5007)상에 형성된다. 본 실시예에서, 50 내지 100nm의 두께를 가지는 제 1 도전막(5008)이 Ta로부터 형성되고, 100 내지 300nm의 두께를 가지는 제 2 도전막(5009)이 W로부터 형성된다.

Ta막은 스퍼터링법에 의해 형성되고, Ta의 타겟은 Ar에 의해 스퍼터링된다. 이 경우에, 적절한 양의 Xe 및 Kr이 Ar에 추가될 때, Ta막의 내부 응력이 해제되고, 이 막의 탈피가 방지될 수 있다. α 상(phase)의 Ta막의 고유저항은 약 20 $\mu\Omega\text{cm}$ 이고, 이 Ta 막은 게이트 전극을 위해 사용될 수 있다. 그러나, β 상의 Ta막의 고유저항은 약 180 $\mu\Omega\text{cm}$ 이며, 게이트 전극을 위해 적합하지 않다. Ta의 α 상의 결정 구조에 근접한 결정 구조를 가지며, 약 10 내지 50nm의 두께를

가지는 탄탈륨 질화물이 α 상의 Ta막을 형성하기 위해 Ta막을 위한 베이스로서 미리 형성될 때, α 상의 Ta막이 쉽게 얻어질 수 있다.

W막은 타겟으로서 W를 사용하여 스퍼터링법에 의해 형성된다. 부가적으로, W막은 또한 텅스텐 헥사플로라이드(WF_6)를 사용하여 열적 CVD법에 의해서 형성될 수도 있다. 어떠한 경우라도, 이 막을 게이트 전극으로서 사용하기 위해 저항을 감소시키는 것이 필수적이다. W막의 고유저항을 $20\mu\Omega\text{cm}$ 이하로 설정하는 것이 적합하다. W막의 결정 입자 크기가 증가할 때, W막의 고유저항은 감소될 수 있다. 그러나, 산소 등의 많은 불순물 원소들이 W막내에 존재할 때, 결정화가 방지되고, 고유저항이 증가된다. 따라서, 스퍼터링법의 경우에, 순도가 99.9999% 또는 99.99%인 W 타겟이 사용되며, 막이 형성될 때, W 막내로 가스 상으로부터 불순물들이 혼입되지 않도록 충분한 주의를 기울임으로써 W막이 형성된다. 따라서, 9 내지 $20\mu\Omega\text{cm}$ 의 고유저항이 실현될 수 있다.

본 실시예에서, 제 1 도전막(5008)은 Ta로부터 형성되고, 제 2 도전막(5009)은 W로부터 형성된다. 그러나, 본 발명은 이 경우에 제한되지 않는다. 이들 도전막들 각각은 Ta, W, Ti, Mo, Al 및 Cu나, 이들 원소들을 주 성분들로 가지는 합금 재료 또는 합성 재료로부터 선택된 원소로 형성될 수도 있다. 또한, 인같은 불순물 원소로 도핑된 나결정 실리콘막으로 내표되는 반도체막도 사용될 수 있다. 본 실시예에 도시된 것들 이외의 조합들의 예는 제 1 도전막(5008)이 탄탈륨 질화물(TaN)로부터 형성되고, 제 2 도전막(5009)이 W로부터 형성되는 조합; 제 1 도전막(5008)이 탄탈륨 질화물(TaN)으로부터 형성되고, 제 2 도전막(5009)이 Al로부터 형성되는 조합 및; 제 1 도전막(5008)이 탄탈륨 질화물(TaN)로부터 형성되고, 제 2 도전막(5009)이 Cu로부터 형성되는 조합을 포함한다.

다음에, 마스크(5010)가 레지스트로부터 형성되고, 전극 및 배선을 형성하기 위한 제 1 에칭 처리가 수행된다. 본 실시예에서, ICP(유도 결합 플라즈마) 에칭법이 사용되고, CF_4 및 Cl_2 가 에칭을 위한 가스와 혼합된다. 500W의 RF(13.56MHZ) 전력이 1Pa의 압력에서 코일형의 전극에 적용되고, 그래서, 플라즈마가 생성된다. 100W 전력의 RF(13.56MHZ)도 기판측(샘플 스테이지)에 적용되고, 실질적으로 음의 자기 바이어스 전압이 적용된다. CF_4 및 Cl_2 가 혼합될 때, W막과 Ta막은 동일한 범위로 에칭된다.

상술한 에칭 조건하에서, 제 1 도전층과 제 2 도전층의 단부 부분들은 레지스트로부터 형성된 마스크의 형상을 적절한 형상으로 함으로써, 기판측에 적용된 바이어스 전압의 효과들에 의해 테이퍼 형상으로 형성된다. 테이퍼부의 각도는 15° 내지 45° 로 설정된다. 게이트 절연막상에 잔류물을 남기지 않는 에칭을 수행하도록, 약 10 내지 20%의 비율만큼 에칭 시간을 증가시키는 것이 적합하다. W막에 대한 실리콘 질화물 산화물 막의 선택비가 2 내지 4(통상적으로는 3)의 범위이기 때문에, 실리콘 질화물 산화물 막의 노출된 표면은 과에칭 처리에 의해 약 20 내지 50nm만큼 에칭된다. 따라서, 제 1 및 제 2 도전층들로 이루어진 제 1 형상의 도전층들(5011 내지 5016)(제 1 도전층들(5011a 내지 5016a)과 제 2 도전층들(5011b 내지 5016b))이 제 1 에칭 처리에 의해 형성된다. 제 1 형상의 도전층들(5011 내지 5016)로 피복되지 않은 영역은 게이트 절연 막(5007)에서 약 20 내지 50nm만큼 에칭되며, 그래서 얇아진 영역이 형성된다(도 10a 참조).

그후, n-형 도전성을 제공하기 위한 불순물 원소가 제 1 도핑 처리를 수행함으로써 추가된다. 도핑 방법은 이온 도핑법 또는 이온 주입법 중 어느 한쪽일 수 있다. 이온 도핑법은 투입량이 1×10^{13} 내지 $5 \times 10^{14} \text{ atoms/cm}^2$ 으로 설정되고, 가속 전압이 60 내지 100keV로 설정되는 조건하에서 수행된다. 그룹 15에 속하는 원소, 통상적으로, 인(P) 또는 비소(As)가 n-형 도전성을 제공하기 위한 불순물 원소로서 사용된다. 그러나, 여기서는 인(P)이 사용된다. 이 경우에, 도전층들(5011 내지 5015)은 n-형 도전성을 제공하기 위한 불순물 원소에 대한 마스크들로서 기능하고, 제 1 불순물 영역들(5017 내지 5025)은 자기 정렬 방식으로 형성된다. n-형 도전성을 제공하기 위한 불순물 원소가 제 1 불순물 영역들(5017 내지 5025)에 1×10^{20} 내지 $1 \times 10^{21} \text{ atoms/cm}^3$ 의 농도 범위에서 추가되게 된다(도 10b 참조).

도 10c에 도시된 바와 같이, 레지스트 마스크를 제거하지 않고 다음에 제 2 에칭 처리가 수행된다. W막이 CF_4 , Cl_2 및 O_2 를 사용하여 선택적으로 에칭된다. 제 2 형상의 도전층들(5026 내지 5031)(제 1 도전층들(5026a 내지 5031a)과 제 2 도전층들(5026b 내지 5031b))이 제 2 에칭 처리에 의해 형성된다. 제 2 형상의 도전층들(5026 내지 5031)로 덮여 있지 않은 게이트 절연막(5007)의 영역은 약 20 내지 50nm만큼 추가로 에칭되고, 그래서, 얇아진 영역이 형성된다.

CF_4 와 Cl_2 의 혼합 가스와 Ta막을 사용하는 W막의 에칭에서의 에칭 반응은 생성된 라디칼 또는 이온 종들과 반응 부산물들의 증기압으로부터 추정될 수 있다. W와 Ta의 불화물과 염화물의 증기압들이 비교될 때, W의 불화물로서의 WF_6 의 증기압은 극도로 높고, 다른 WCl_5 , TaF_5 , $TaCl_5$ 의 증기압들은 거의 서로 동일하다. 따라서, W막과 Ta막 양자 모두가 CF_4 와 Cl_2 의 혼합 가스를 사용하여 에칭된다. 그러나, 적절한 양의 O_2 가 이 혼합 가스에 추가될 때, CF_4 와 O_2 는 반응하고, Co와 F가 되며, 그래서, 대량의 F-라디칼들이나 F-이온들이 생성된다. 결과적으로, 그 불화물이 높은 증기압을 가지는 W막의 에칭 속도가 증가된다. 이에 대조적으로, F가 증가될 때의 Ta막에 대해서는 에칭 속도의 증가가 상대적으로 작다. Ta가 W에 비해 쉽게 산화되기 때문에, Ta막의 표면은 O_2 를 추가하는 것에 의해 산화된다. 어떠한 Ta의 산화물도 불화물 또는 염화물과 반응하지 못하기 때문에, Ta막의 에칭 속도는 추가로 감소된다. 따라서, W막과 Ta막 사이의 에칭 속도에 편차를 만드는 것이 가능하고, 그래서, W막의 에칭 속도가 Ta막의 에칭 속도보다 높게 설정될 수 있다.

도 11a에 도시된 바와 같이, 그후, 제 2 도핑 처리가 수행된다. 이 경우에, 제 1 도핑 처리에서의 투입량보다 낮게 투입량을 감소시킴으로써, 제 1 도핑 처리에서 보다 작은 투입량과 높은 가속 전압에서 n-형 도전성을 제공하기 위한 불순물 원소가 투입된다. 예로서, 가속 전압은 70 내지 120keV로 설정되고, 투입량은 1×10^{13} atoms/cm²으로 설정된다. 따라서, 새로운 불순물 영역이 도 10b에서 아일랜드형 반도체 층내에 형성된 제 1 불순물 영역 내측에 형성된다. 도핑 시, 제 2 형상의 도전층들(5026 내지 5030)이 불순물 원소에 대한 마스크들로서 사용되고, 불순물 원소가 제 1 도전층들(5026a 내지 5030a) 아래측의 영역들에도 추가되도록 도핑이 수행된다. 따라서, 제 3 불순물 영역들(5032 내지 5041)이 형성된다. 제 3 불순물 영역들(5032 내지 5036)은 제 1 도전층들(5026a 내지 5030a)의 테이퍼부들내의 두께 구배와 부합되는 완만한 농도 구배로 인(P)을 함유한다. 제 1 도전층들(5026a 내지 5030a)의 테이퍼부들과 중첩하는 반도체 층들에서, 불순물 농도는 제 1 도전층들(5026a 내지 5030a)의 테이퍼부들의 에지들에서 보다 중앙 둘레에서 다소 낮다. 그러나, 편차는 매우 미소하고, 거의 동일한 불순물 농도가 반도체 층들 전체에 걸쳐 유지된다.

그후, 제 3 에칭 처리가 도 11b에 도시된 바와 같이 수행된다. CHF_3 가 에칭 가스로서 사용되고, 반응성 이온 에칭(RIE)이 사용된다. 제 3 에칭 처리를 통해, 제 1 도전층들(5026a 내지 5031a)의 테이퍼부들이 부분적으로 에칭되어 제 1 도전층들이 반도체 층들에 중첩되는 영역들을 감소시킨다. 따라서, 제 3 형상 도전층들(5037 내지 5042)(제 1 도전층들(5037a 내지 5042a)와 제 2 도전층들(5037b 내지 5042b))이 형성된다. 이 시점에서, 제 3 형상 도전층들(5037 내지 5042)로 덮여지지 않은 게이트 절연막(5007)의 영역들이 추가로 에칭되고, 약 20 내지 50nm 만큼 얇아진다.

제 3 불순물 영역들(5032 내지 5036)이 제 3 에칭 처리를 통해 형성된다. 제 1 도전층들(5037a 내지 5041a)과 각각 중첩하는 제 3 불순물 영역들(5032a 내지 5036a)과 제 2 불순물 영역들(5032b 내지 5036b)이 각각 제 1 불순물 영역과 제 3 불순물 영역 사이에 형성된다.

도 11c에 도시된 바와 같이, 제 1 도전형에 대해 반대 도전형을 가진 제 4 불순물 영역들(5043 내지 5054)이 p-채널 TFT들을 형성하기 위해 아일랜드형 반도체층들(5004 및 5006)내에 형성된다. 제 3 형상 도전층들(5038b 및 5041b)은 불순물 원소에 대한 마스크들로서 사용되고, 불순물 영역들은 자기 정렬 방식으로 형성된다. 이 시점에서, n-채널 TFT들을 형성하기 위한 아일랜드형 반도체 층들(5003 및 5005)과 배선부(5042)는 전체적으로 레지스트 마스크(5200)로 덮여지게 된다. 불순물 영역들(5043 내지 5054)은 상이한 농도들의 인으로 이미 도핑되어 있다. 불순물 영역들(5043 내지 5054)은 디보란이 각 영역내의 인보다 우세해지고, 각 영역이 2×10^{20} 내지 2×10^{21} atoms/cm³ 농도의 불순물 원소들을 함유하도록 이온 도핑을 통해 디보란(B_2H_6)으로 도핑된다.

상술한 단계들을 통해, 불순물 영역들이 각 아일랜드형 반도체 층들내에 형성된다. 아일랜드형 반도체 층들과 중첩하는 제 3 형상 도전층들(5037 내지 5041)은 게이트 전극들로서 기능한다. 참조 부호(5042)는 아일랜드형 소스 신호 라인으로서 기능한다.

레지스트 마스크(5200)가 제거된 이후에, 아일랜드형 반도체 층들에 추가된 불순물 원소들을 활성화하는 단계가 수행되어 도전형을 재이한다. 이 프로세스는 노 이닐링을 위해 노를 사용하여 열적 어닐링법에 의해 수행된다. 부가적으로, 레이저 어닐링법 또는 급속 열적 어닐링법(RTA법)이 적용될 수 있다. 열적 어닐링법에서, 이 프로세스는 산소 농도가 1ppm 이하, 바람직하게는 0.1ppm 이하인 질소 분위기에서, 400 내지 700℃, 통상적으로 500 내지 600℃의 온도로 수행된다. 본 실시예에서, 열처리는 500℃에서 4시간 동안 수행되었다. 제 3 형상 도전층들(5037 내지 5042)에 사용된 배선 재료가 열에 대해 약할 때, 배선층을 보호하기 위해서, 층간 절연막(주 성분으로서 실리콘을 가지는)이 형성된 이후, 활성화를 수행하는 것이 적합하다.

또한, 아일랜드형 반도체층이 수화되도록 3 내지 100%의 수소를 포함하는 분위기 내에서 300 내지 450℃의 온도에서 1 내지 12 시간 동안 열처리가 수행된다. 이 단계는 열적으로 여기된 수소에 의해 반도체층의 미결합 화학손(dangling bond)을 단절하기 위한 것이다. 플라즈마 수화(플라즈마에 의해 여기된 수소를 사용하는)도 수화를 위한 다른 조치로서 수행될 수 있다.

다음에, 도 12a에 도시된 바와 같이, 제 1 층간 절연막(5055)이 실리콘 질화물 산화물 막으로부터 100 내지 200nm 두께로 형성된다. 유기 절연 재료로부터의 제 2 층간 절연막(5056)이 제 1 층간 절연막상에 형성된다. 그후, 접촉 구멍들이 제 1 층간 절연막(5055), 제 2 층간 절연막(5056) 및 게이트 절연막(5007)을 통해 형성된다. 각 배선(접속 배선 및 신호 라인을 포함하는)(5057 내지 5062 및 5064)이 패터닝 및 형성된다. 그후, 접속 배선(5062)과 접촉하는 화소 전극(5063)이 패터닝 및 형성된다.

재료로서 유기 수지를 가지는 막이 제 2 층간 절연막(5056)으로서 사용된다. 폴리이미드, 폴리아미드, 아크릴, BCB(벤조사이클로부텐) 등이 이 유기 수지로서 사용될 수 있다. 특히, 제 2 층간 절연막(5056)이 주로 평탄화를 위해 제공되기 때문에, 막의 높이조절에 양호한 아크릴이 적합하다. 본 실시예에서, TFT에 의해 유발된 높이차를 충분히 높이조절할 수 있는 두께를 가지는 아크릴막이 형성된다. 그 막두께는 1 내지 5μm으로 설정되는 것이 적합하다(2 - 4μm으로 설정되는 것이 보다 바람직하다).

접촉 구멍들의 형성에서, n - 형 불순물 영역들(5017, 5018, 5021 및 5023) 또는 p - 형 불순물 영역들(5043 내지 5054)에 도달한 접촉 구멍들, 배선(5042)에 도달하는 접촉 구멍, 전류 공급 라인(미도시)에 도달하는 접촉 구멍 및 게이트 전극(미도시)들에 도달하는 접촉 구멍들이 형성된다.

또한, 3층 구조의 적층체막이 양호한 형상으로 패터닝되고, 배선(접속 배선 및 신호 라인 포함)(5057 내지 5062, 5064)으로서 사용된다. 이 3층 구조에서, 100[nm] 두께의 Ti막과, 300[nm] 두께의 Ti 함유 알루미늄막 및, 150[nm] 두께의 Ti막이 스퍼터링법에 의해 연속적으로 형성된다. 그러나, 다른 도전막들이 사용될 수도 있다.

본 실시예에서, 110nm 두께의 ITO막이 화소 전극(5063)으로서 형성되고, 패터닝된다. 접점은 화소 전극(5063)이 접속 전극(5062)과 접촉하고, 이 접속 배선(5062)과 중첩하도록 화소 전극(5063)을 배열함으로써 이루어진다. 또한, 2 내지 20%의 아연 산화물(ZnO)을 인듐 산화물과 혼합함으로써 제공된 투명 도전막도 사용될 수 있다. 이 화소 전극(5063)은 OLED의 아노드가 된다(도 12a 참조).

도 12b에 도시된 바와 같이, 실리콘을 함유하고, 500nm의 두께를 가지는 절연막(본 실시예에서 실리콘 산화물 막)이 다음에 형성된다. 제 3 층간 절연막(5065)이 형성되고, 화소 전극(5063)에 대응하는 위치에 개구가 형성된다. 개구가 형성될 때, 개구의 측벽은 습식 에칭법을 사용함으로써, 쉽게 테이퍼 형성될 수 있다. 개구의 측벽이 충분히 완만하지 못할 때, 높이차에 의해 유발된 유기 발광층의 열화가 현저한 문제가 된다.

다음에, 유기 발광층(5066)과 캐소드(MgAg 전극; 5067)가 진공 증발법을 사용하여 대기에 노출되지 않고 연속적으로 형성된다. 유기 발광층(5066)은 80 내지 200nm(통상적으로 100 내지 120nm)의 두께를 가지며, 캐소드(5067)는 180 내지 300nm(통상적으로 200 내지 250nm)의 두께를 가진다.

이 프로세스에서, 유기 발광층이 적색에 대응하는 화소와, 녹색에 대응하는 화소 및 청색에 대응하는 화소에 대하여 연속적으로 형성된다. 이 경우에, 유기 발광층이 용액에 대한 불충분한 저항을 가지기 때문에, 유기 발광층은 포토리소그래피 기술을 사용하는 대신 각 색상에 대하여 독립적으로 형성되어야만 한다. 따라서, 유기 발광층이 단지 필요한 부분에만 선택적으로 형성되도록 금속 마스크를 사용하여 원하는 화소들을 제외한 부분을 덮는 것이 적합하다.

즉, 적색에 대응하는 화소를 제외한 모든 부분들을 덮는 마스크가 가장 먼저 설정되고, 적색광을 방출하기 위한 유기 발광층이 이 마스크를 사용하여 선택적으로 형성된다. 다음에, 녹색에 대응하는 화소를 제외한 모든 부분을 덮는 마스크가 설정되고, 녹색광을 방출하기 위한 유기 발광층이 이 마스크를 사용하여 선택적으로 형성된다. 다음에, 청색에 대응하는 화소를 제외한 모든 부분들을 덮는 마스크가 설정되고, 청색광을 방출하기 위한 유기 발광층이 이 마스크를 사용하여 선택적으로 형성된다. 여기서, 상이한 마스크들이 사용되지만, 동일한 단일 마스크를 반복적으로 사용할 수 있다.

여기서, RGB에 대응하는 3종류의 OLED를 형성하기 위한 시스템이 사용되었다. 그러나, 백색광을 발광하기 위한 OLED와 컬러 필터가 조합되는 시스템과, 청색광 또는 청녹색광을 방출하기 위한 OLED가 형광 물질(형광 색상 변환층: CCM)과 조합된 시스템, R, G, B에 각각 대응하는 OLED를 투명 전극을 활용함으로써 캐소드들(상대 전극들)과 중첩시키는 시스템 등이 사용될 수 있다. 공지된 재료가 유기 발광층(5066)으로서 사용될 수 있다. 유기 재료가 구동 전압을 고려하여 공지된 재료로서 적합하게 사용된다. 예로서, 정공 주입층, 정공 운반층, 발광층 및 전자 주입층으로 구성되는 4층 구조가 유기 발광층을 위해 적합하게 사용된다.

캐소드(5067)는 금속 마스크를 사용하여 게이트 전극이 동일 게이트 신호 라인에 접속되어 있는 스위칭 TFT에 포함된 화소(동일 라인상의 화소) 바로 위에 형성된다. 본 실시예는 캐소드(5067)를 위해 MgAg를 사용하지만, 이에 제한되지는 않는다. 다른 공지된 재료들이 캐소드(5067)를 위해 사용될 수 있다.

마지막으로, 실리콘 질화물막으로 형성되어 300nm의 두께를 가지는 평탄화 막(5068)이 형성된다. 실제로, 평탄화 막(5068)은 습기 등으로부터 유기 발광층(5066)을 보호하는 역할을 한다. 그러나, OLED의 신뢰성은 평탄화 막(5068)을 형성함으로써 추가로 향상될 수 있다.

따라서, 도 12b에 도시된 바와 같은 상태가 완성된다. 도면에 도시되어 있지는 않지만, 제 1 실시 형태의 제조 방법에 따라서, 밀봉막을 제공하는 제 2 기판이 제 2 접합층을 사용하여 평탄화막(5068)에 접합된다. 부가적으로, 추후 단계들이 제 1 실시 형태에 도시된 방법들에 따라 실행될 수 있다. 제 2 실시 형태의 제조 방법에 따라서, 밀봉막을 제공하는 제 2 기판이 제 2 접합층을 사용하여 평탄화 막(5068)에 접합된다. 부가적으로, 추후 단계들이 제 2 실시 형태에 도시된 방법들에 따라서 실행될 수 있다.

본 실시예의 발광 디바이스 제조 프로세스에서, 본 프로세스의 회로 구조 및 절차들의 편리함을 위해, 소스 신호 라인은 게이트 전극들의 재료인 Ta와 W로 형성되고, 게이트 신호 라인은 소스 및 드레인 전극들의 배선 재료인 Al이다. 그러나 상이한 재료들이 사용될 수도 있다.

본 실시예의 발광 디바이스는 화소부에 부가하여 구동 회로부에 최적의 구조들의 TFT들을 배열함으로써, 매우 높은 신뢰성과 개선된 동작 특성들을 가진다. 또한, 결정화 프로세스에서, Ni 같은 금속 촉매를 추가함으로써 결정성이 향상될 수 있다. 따라서, 회로를 구동하는 소스 신호 라인의 구동 주파수가 10MHz 또는 그 이상으로 설정될 수 있다.

먼저, 가능한 동작 속도를 감소시키지 못하도록 핫 캐리어 주입을 감소시키기 위한 구조를 가지는 TFT가 구동 회로부를 형성하는 CMOS 회로의 n-채널형 TFT로서 사용된다. 여기서, 구동 회로는 시프트 레지스터와, 버퍼와, 레벨 시프터와, 라인 순차 구동의 레치와, 도트 순차 구동의 트랜스미션 게이트 등을 포함한다.

본 실시예의 경우에, n-채널형 TFT의 능동층은 소스 영역과, 드레인 영역과, 게이트 절연막을 통해 게이트 전극과 중첩되어 있는 중첩 LDD 영역(Lov 영역)과, 게이트 절연막을 통해 게이트 전극과 중첩되어 있지 않은 오프셋 LDD 영역(Loff 영역) 및 채널 형성 영역을 포함한다.

CMOS 회로의 p-채널형의 핫 캐리어 주입에 의한 열화는 거의 무시할 수 있다. 따라서, n-채널형 TFT내에 특별히 LDD 영역을 형성하는 것은 불필요하다. 그러나, n-채널형 TFT와 유사하게, LDD 영역이 고온 캐리어 상해조치로서 형성될 수 있다.

또한, 채널 형성 영역을 통해 전류를 양방향으로 흘리기 위한 CMOS 회로, 즉, 소스와 드레인 영역들의 역할이 교체된 CMOS 회로가 구동 회로에 사용될 때, 채널 형성 영역이 LDD 영역들 사이에 샌드위치식으로 배치되도록 LDD 영역들을 형성하기 위해 CMOS 회로를 구성하는 것이 n-채널형 TFT에 적합하다. 이 예로서, 도트 순차 구동에 사용되는 트랜스미션 게이트가 제공된다. OFF 상태 전류값을 가능한 낮추기 위하여 필요한 CMOS 회로가 구동 회로에 사용될 때, CMOS 회로를 형성하는 n-채널형 TFT는 Lov 영역을 갖는 것이 적합하다. 도트 순차 구동에 사용되는 트랜스미션 게이트도 이런 예로서 주어질 수 있다.

실제로, 발광 디바이스가 제 1 또는 제 2 실시 형태에 따라 완성될 때, 외부 공기에 대한 누출을 방지하기 위해, 높은 기밀 밀봉 특성을 가지면서 적은 탈기를 허용하는 보호막(적층체막, 자외선 경화성 수지막 등)과, 투명 밀봉 부재를 사용하여 패키징(밀봉)을 수행하는 것이 적합하다. 이 경우에, 밀봉 부재의 내부를 불활성 가스 분위기로 충전하고, 습기 흡수 재료(예로서, 바륨 산화물)를 내부에 배열함으로써, OLED의 신뢰성이 향상된다.

부가적으로, 기밀 밀봉 특성이 패키징 처리 등에 의해 개선된 이후에, 디바이스를 제품으로 완성하기 위해 커넥터(가요성 인쇄회로: FPC)가 부착된다. 커넥터는 기판상에 형성되어 있는 회로 또는 소자로부터 인출된 단자를 외부 신호 단자와 접속하기 위한 것이다. 이 상태의 디바이스는 선지될 준비가 된 상태이고, 본 명세서에서는 자기 방출 디바이스라 지칭된다.

또한, 본 실시예에 도시된 프로세스들에 따라서, 발광 디바이스의 제조를 위해 필요한 포토마스크들의 수가 감소될 수 있다. 결과적으로, 프로세스들이 감소될 수 있고, 이는 제조 비용의 감소와 처리량의 향상에 기여한다.

제 1 및 제 2 실시예들과 조합하여 제 3 실시예를 구현하는 것이 가능하다는 것을 인지하여야 한다.

(제 4 실시예)

제 4 실시예에서, 본 발명에 따른 인버스-스테거(inverse-stagger)형 TFT들을 사용하는 발광 디바이스의 구조가 설명된다.

도 13은 본 발명에 따른 발광 디바이스를 도시하는 단면도이다. 밀봉막(601)이 가요성 제 3 기판(601)상에 형성된다. 밀봉막(601)은 배리어막(601a), 응력 완충막(601b) 및 배리어막(601c)을 포함한다.

밀봉막(608)이 가요성 제 2 기판(606)상에 형성된다. 밀봉막(608)은 배리어 막(608a), 응력 완충막(608b) 및 배리어막(608c)을 포함한다.

밀봉막들(601 및 608) 사이에, TFT들, OLED 및 다른 소자들이 형성된다. 본 실시예에서, 구동 회로(610)에 포함된 TFT(604a)와 화소부(611)에 포함된 TFT들(604b 및 604c)이 대표적인 예들로서 도시되어 있다.

OLED(605)는 화소 전극(640)과, 유기 발광층(641)과 캐소드(642)를 포함한다.

TFT(604a)는 게이트 전극들(613 및 614)과, 게이트 전극들(613 및 614)과 접촉하도록 형성된 절연막(612)과, 절연막(612)과 접촉하도록 형성된 반도체 막(615)을 포함한다. TFT(604b)는 게이트 전극들(620 및 621)과, 게이트 전극들(620 및 621)과 접촉하도록 형성된 절연막(612)과, 절연막(612)과 접촉하도록 형성된 반도체막(622)을 포함한다. TFT(604c)는 게이트 전극(630)과, 게이트 전극(630)과 접촉하도록 형성된 절연막(612)과, 절연막(612)과 접촉하도록 형성된 반도체 막(631)을 포함한다.

비록 인버스 - 스테거형 TFT들이 제 1 실시 형태에 따라 제조된 발광 디바이스에 사용되는 예가 도시되어 있지만, 본 발명의 구조는 이에 제한되지 않는다. 인버스 - 스테거형 TFT들은 제 2 실시 형태에 따라 제조된 발광 디바이스에 사용될 수 있다.

제 4 실시예는 제 1 실시예와 자유롭게 조합하여 수행될 수 있다.

(제 5 실시예)

제 5 실시예에서, 접합층이 그위에 유체를 분무함으로써 제거되는 예가 설명된다.

유체를 분무할 때, 물체상에 노즐로부터 고압 수류를 분무하는 방법(워터 제트법이라 지칭됨) 또는 물체상에 고압 가스를 분무하는 방법이 사용될 수 있다. 워터 제트법의 경우에, 유기 용매, 산 용액 또는 알칼리 용액이 물 대신 사용될 수 있다. 가스 흐름으로서, 공기, 질소 가스, 이산화탄소 가스 또는 화유 가스가 사용될 수 있다. 부가적으로, 이들 가스로부터 얻어진 플라즈마도 사용될 수 있다. 접합층의 재료 및 제거되는 것이 바람직하지 못한, 막들 및 기판들의 재료들에 따라서, 이런 막들 및 기판들이 접합층의 제거와 함께 제거되지 않도록 적절한 유체를 선택하는 것이 중요하다.

접합층으로서, 수소, 산소, 질소 또는 화유 가스가 추가된 실리콘층 또는 다공성 실리콘층이 사용된다. 다공성 실리콘층이 사용되는 경우에, 비정질 실리콘 막 또는 다결정 실리콘 막은 사용을 위해 그에 다공성을 제공하기 위해 양극처리를 받게 될 수 있다.

도 14는 워터 제트법에 의한 접합층의 제거를 도시하고 있다. OLED(604)가 기판들(603 및 606) 사이에 제공된다. OLED(604)는 절연막(603)으로 덮혀 있다. 복수의 절연막들을 포함하는 밀봉막(609)이 절연 기판(603)과 기판(606) 사이에 제공된다.

절연막(605)과 접합층(606)은 기판(603)과 OLED(604) 사이에 제공된다. 접합층(606)은 기판(603)과 접촉한다. 비록, OLED만이 도 14에 대표적으로 도시되어 있지만, TFT들 및 다른 소자들이 통상적으로 절연막들(605 및 603) 사이에 제공된다.

접합층(606)은 0.1 내지 900 μm (바람직하게는, 0.5 내지 10 μm)의 두께를 가질 수 있다. 제 5 실시예에서, 1 μm 의 두께를 가진 SOG 막이 접합층(606)으로서 사용된다.

유체(607)가 노즐(608)로부터 접합층(606)상으로 분무된다. 유체(607)를 접합층(606)의 전체 노출부상으로 효과적으로 분무하기 위해서, 접합층(606)이 도 14에 화살표로 표시된 바와 같이, 기판(601)에 수직인 중앙선 둘레에서 접합층(606)을 회전시키면서, 유체를 분무하는 것이 권장된다.

1×10^7 내지 1×10^9 Pa(바람직하게는, 3×10^7 내지 5×10^8 Pa)의 압력이 적용된 유체(607)가 노즐(608)로부터 접합층(606)의 노출부상으로 분무된다. 샘플이 회전하기 때문에, 유체(607)는 접합층(606)의 노출면을 따라 분무된다.

노즐(608)로부터 방출된 유체가 집합층(606)상으로 분부될 때, 집합층은 그 약함 때문에, 충격으로 인해 파열된 이후에 제거되거나, 화학적으로 제거된다. 결과적으로, 집합층(606)은 파괴 및 제거되어 기판(603)과 절연막(605)이 서로 분리된다. 집합층(606)을 파괴시킴으로써, 분리가 달성되는 경우에, 잔여 집합층은 에칭에 의해 제거될 수 있다.

유체(607)로서, 물, 유기 용매, 산 용액 또는 알칼리 용액 같은 액체가 사용될 수 있다. 대안적으로, 공기, 질소 가스, 이산화 탄소 가스 또는 희유 가스가 사용될 수도 있다. 또한, 이들 가스들로부터 얻어진 플라즈마가 사용될 수 있다.

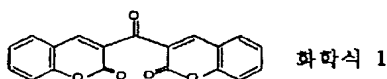
제 5 실시예는 제 1 내지 제 4 실시예와 조합하여 수행될 수 있다.

(제 6 실시예)

본 실시예에서, 유기 발광 재료를 사용하여, 트리플렛 엑시톤으로부터의 인광이 광 방출을 위해 사용됨으로써, 외부 발광 쿼텀 효율이 현저히 개선된다. 결과적으로, OLED의 전력 소모가 감소될 수 있으며, OLED의 수명이 연장될 수 있고, OLED의 중량이 경량화될 수 있다.

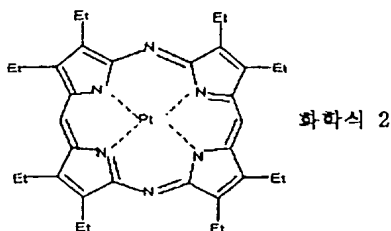
다음은 외부 발광 쿼텀 효율이 트리플렛 엑시톤을 사용함으로써 향상되는 경우에 대한 보고서이다. (T. Tsutsui, C. Adachi, S. Saito, Photochemical Processes in Organized Molecular Systems, ed. K. Honda, (Elsevier Sci. Publ., Tokyo, 1991) p.437).

상기 문헌에 의해 보고된 유기 발광 재료(코마린 염료)의 분자식은 하기와 같이 표현된다.



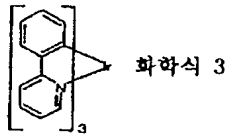
(M.A. Baldo, D.F.O'Brien, Y. You, A. Shoustikov, S. Sibley, M.E. Thompson, S.R. Forrest, Nature 395(1998) p.151)

상기 문헌에 의해 보고된 EL 재료(Pt 합성물)의 분자식은 하기와 같이 표현된다.



(M.A. Baldo, S. Lamansky, P.E. Burrows, M.E. Thompson, S.R. Forrest, Appl. Phys. Lett., 75(1999) p.4) (T. Tsutsui, M. - J. Yang, M. Yahiro, K. Nakamura, T. Watanabe, T. Tsuji, Y. Fukuda, T. Wakimoto, S. Mayaguchi, Jpn. Appl. Phys., 38(12B) (1999) L1502)

상기 문헌에 의해 보고된 EL 재료(Ir 합성물)의 분자식은 하기와 같이 표현된다.



상술한 바와 같이, 트리플릿 엑시톤으로부터의 인광을 실용적으로 사용할 수 있는 경우에, 원론적으로, 싱글릿 엑시톤으로부터의 형광을 사용하는 경우 보다 3 내지 4배 높은 외부 발광 쿼텀 효율을 실현할 수 있다.

본 실시예에 따른 구조는 제 1 내지 제 5 실시예 중 소정의 구조들과 자유롭게 조합하여 구현될 수 있다.

(제 7 실시예)

유기 발광 재료로 이루어진 막은 일반적으로 잉크 제트법, 스핀 코팅법 또는 증발법에 의해 형성된다. 제 7 실시예에서, 상술한 방법들 이외의 유기 발광층을 형성하기 위한 방법이 설명된다.

본 실시예에서, 유기 발광 재료의 분자 어셈블리들을 함유하는 막이 유기 발광 재료를 구성하는 분자 어셈블리들이 확산되어 있는 콜로이드 용액(또한, 졸이라고도 지칭됨)을 사용하여, 불활성 가스 분위기하의 기판상에 분무에 의해 형성된다. 유기 발광 재료는 액체 내에서 각각 몇 개의 분자들이 결합되어 있는 미입자들로서 존재한다.

도 15는 노즐(미도시)로부터 불활성 가스(본 실시예에서는 질소 가스)내로 합성물을 분무함으로써 유기 발광층(650)을 형성하는 것을 도시하고 있다. 합성물은 유기 발광 재료로서 기능하는 이리듐 합성물인 트리스(2-페닐피리딘) 이리듐(Ir(ppy)_3)과, 호스트로서 기능하는 유기 발광 재료인 바소쿠프로인(BCP)(이하, 호스트 물질이라 지칭함)을 블루엔내에 분산시킴으로써 얻어진다.

도 15에서, 마스크(651)를 사용하여, 유기 발광층(650)이 25 내지 40nm의 두께를 갖도록 선택적으로 형성된다. 이리듐 합성물과 BCP 양자 모두는 블루엔에 용해되지 않는다.

실제로, 유기 발광층이 단일층 형태로 사용되는 몇몇 경우들과, 다층 형태로 사용되는 나머지 경우들이 존재한다. 유기 발광층이 다층 구조로 사용되는 경우에, 다른(나머지) 유기 발광층(들)은 유기 발광층(650)의 형성 이후에, 유사한 방식으로 형성된다. 이 경우에, 모든 증착된 유기 발광층들은 총체적으로 유기 발광층이라 지칭된다.

본 실시예의 성막 방법은 액체내의 유기 발광 재료가 어떠한 상태로 존재하는 경우에도 막의 형성을 가능하게 한다. 특히, 본 방법은 잘 용해되지 않는 유기 발광 재료를 사용함으로써, 양호한 품질을 가진 유기 발광층을 형성하는 것을 가능하게 한다. 또한, 캐리어 가스의 사용과 함께 유기 발광 재료를 함유하는 액체를 분무함으로써 막이 형성되기 때문에, 성막은 짧은 시간 기간내에 달성될 수 있다. 유기 발광 재료를 함유하는 분무 대상 액체를 제조하는 방법은 극히 단순할 수 있다. 또한, 본 실시예에서, 소정 패턴을 가진 막을 형성하기 위해 마스크가 사용되고, 그래서, 성막은 마스크의 개구를 통해 이루어진다. 부가적으로, 고가의 유기 발광 재료를 효과적으로 사용하기 위해서, 재사용을 위해 마스크에 부착된 유기 발광 재료를 수집하는 것이 가능하다.

잉크 제트법과 스핀 코팅법은 용매에 대한 높은 용해성을 가진 유기 발광 재료를 사용할 수 없다는 제약을 갖는다. 증발법은 증발법이 사용되기 이전에 분해하는 유기 발광 재료가 사용될 수 없다는 제약을 갖는다. 그러나, 본 실시예의 성막 방법은 상술한 제약들에 의해 영향을 받지 않는다. 본 실시예의 성막 방법에 적합한 유기 발광 재료의 예들은 퀴나크리돈, 트리스(2-페닐피리딘)이리듐, 바소쿠프로인, 폴리(1,4-페닐렌비닐렌), 폴리(1,4-나프탈렌비닐렌), 폴리(2-페닐-1,4-페닐렌비닐렌), 폴리티오펜, 폴리(3-페닐티오펜), 폴리(1,4-페닐렌), 폴리(2,7-플로렌) 등이 주어질 수 있

다.

제 7 실시예의 구조는 제 1 내지 제 6 실시예들 중 소정의 것과 자유롭게 조합하여 실시될 수 있다.

(제 8 실시예)

본 실시예는 본 발명에 의해 얻어진 발광 디바이스의 화소부의 보다 상세한 설명을 제 8 실시예에서 제공한다. 화소부의 상부 구조가 도 16a에 도시되어 있으며, 그 회로도도 도 16b에 도시되어 있다. 교차 참조되는 도 16a 및 도 16b에는 공통 참조 부호들이 사용되어 있다.

스위칭 TFT(802)는 소스 배선(815)에 접속된 소스를 가지며, 드레인 배선(805)에 접속된 드레인을 가진다. 드레인 배선(805)은 전류 제어 TFT(806)의 게이트 전극(807)에 전기적으로 접속되어 있다. 전류 제어 TFT(806)는 전류 공급 라인(816)에 전기적으로 접속된 소스를 가지며, 드레인 배선(817)에 전기적으로 접속된 드레인을 가진다. 드레인 배선(817)은 점선으로 표시된 화소 전극(캐소드; 818)에 전기적으로 접속되어 있다.

커패시터 저장부가 여기에 819로 도시된 영역에 형성되어 있다. 커패시터 저장부(819)는 전류 공급 라인(816)에 전기적으로 접속되어 있는 반도체막(820)과, 게이트 절연막과 동일층상의 절연막(비도시) 및 게이트 전극(807)으로 구성되어 있다. 게이트 전극(807)과, 제 1 층간 절연막과 동일층(미도시) 및 전류 공급 라인(816)으로 구성된 커패시터도 저장 커패시터로서 사용될 수 있다.

제 8 실시예는 제 1 내지 제 7 실시예들과 조합될 수 있다.

(제 9 실시예)

본 실시예는 도 17을 참조로 발광 디바이스의 회로 구조의 예를 도시한다. 본 실시예에 도시된 회로 구조는 디지털 구동을 위한 것이다. 본 실시예에 따른 구조는 소스측 드라이버 회로(901)와, 화소부(906) 및 게이트측 구동 회로(907)를 갖는다.

소스측 구동 회로(901)는 시프트 레지스터(902)와, 래치(A)(903)와, 래치(B)(904)와, 버퍼(905)를 구비한다. 아날로그 구동의 경우에, 샘플링 회로(트랜스피 게이트)가 래치들(A) 및 (B) 대신 제공된다. 게이트측 드라이버 회로(907)는 시프트 레지스터(908)와 버퍼(909)를 구비한다. 그러나, 버퍼(909)는 항상 필수적으로 제공될 필요는 없다.

본 실시예에서, 화소부(906)는 각각 OLED를 구비하는 복수의 화소들을 포함한다. OLED의 캐소드는 전류 제어 TFT의 드레인에 전기적으로 접속되는 것이 적합하다.

소스측 드라이버 회로(901)와 게이트측 드라이버 회로(907)는 제 2 내지 제 4 실시예들에 따라 얻어진 n-채널 TFT들이나 p-채널 TFT들로 구성된다.

비록, 도시되지는 않았지만, 다른 게이트측 드라이버 회로가 화소부(906)를 가로질러 게이트측 드라이버 회로(907)의 반대편에 추가될 수 있다. 이 경우에, 게이트측 드라이버 회로들 중 두 개는 동일한 구조를 가지며, 게이트 배선을 공유하고, 그래서, 나머지가 파괴된 것 대신 게이트 신호를 보낼 수 있어서 화소부가 정상적으로 동작하게 한다.

본 실시예는 제 1 내지 제 8 실시예와 조합하여 사용될 수 있다.

(제 10 실시예)

제 10 실시예에서, 가요성 플라스틱 기판상에 밀봉막을 형성하는 롤-두-롤 방법이 설명된다.

도 19는 단순화된 방식으로 제 10 실시예에 따른 성막 장치의 구조를 도시하고 있다. 도 19에 도시된 본 발명에 따른 성막 장치는 스퍼터링에 의해 배리어막을 형성하기 위한 두 개의 챔버들(804, 809)과, 상기 챔버들(804 및 809)내의 공기압을 제어하기 위한 챔버들(805 및 808)과, 수지를 적용하기 위한 메카니즘(820) 및, 적용된 수지를 경화하기 위한 메카니즘(813)을 포함한다.

스퍼터링에 의해 배리어막을 형성하기 위한 챔버는 기관(802)을 전개(unwinding)시키기 위한 롤(801)과, 나뭇을 가진 전압 적용 전극(810)과, 전극으로서도 기능하는 가열기(811)를 포함한다. 스퍼터링에 의해 배리어막을 형성하기 위한 챔버(809)는 기관(802)을 권회시키기 위한 롤(803)과, 나뭇을 가진 전압 적용 전극(814) 및 전극으로서도 기능하는 가열기(815)를 포함한다.

기관(802)은 전개 롤(801)로부터 권회롤(803)로 운반된다.

본 실시예에서, 실리콘 질화물 막이 챔버(804)내에서 형성된다. 보다 명확하게, 챔버(804)내의 공기압이 터보-분자 펌프들에 의해 0.4Pa로 유지된다. 이 상태에서, 10sccm 유량의 아르곤, 35sccm 유량의 질소 및 5sccm 유량의 수소가 공급된다.

챔버(804)내에서 그 위에 실리콘 질화물 막이 형성된 기관(802)이 연속적으로 챔버들(805 및 806)을 통과하고, 그후, 대기압하에 배치된다. 수지(812)가 수지를 적용하기 위한 메카니즘(820)에 의해 기관(802)상에 적용된다. 챔버들(805 및 806) 양자 모두는 터보-분자 펌프들에 의해 진공으로 배기되며, 챔버(804)내의 공기압을 대기압에 의해 영향을 받지 않고 소정 수준으로 유지하도록 제공된다. 비록, 두 개의 챔버들(805 및 806)이 대기압의 영향을 방지하기 위해 사용되었지만, 경우에 따라 단 하나의 챔버로 충분할 수 있다. 필요에 따라, 셋 이상의 챔버들을 제공하는 것도 가능하다.

수지(812)로서, 열적으로 중합될 수 있는 폴리에틸렌이 본 실시예에서 사용된다. 수지(812)의 적용 이후, 기관(802)이 할로겐 램프(813)로 가열되고, 그래서, 적용된 수지(812)를 경화시킨다.

보다 명확하게, 본 실시예에서, 기관을 가열하기 위한 할로겐 램프가 적용된 수지를 경화시키기 위한 메카니즘(813)으로서 제공된다. 수지가 가열에 의해 경화되는 경우에, 가열 수단은 할로겐 램프에 한정되지 않으며, 적외선 램프, 급속 할라이트 램프, 크세논 아크 램프, 탄소 아크 램프, 고압 소듐 램프 또는 고압 수은 램프도 사용될 수 있다. 또한, 가열 수단은 램프에 한정되지 않으며, 가열은 가열기 등을 사용하여 수행될 수 있다. 수지가 열적으로 경화되지 않고, 자외선 경화성인 경우에, 수지는 자외선의 방사에 의해 경화될 수 있다.

그 위에 수지막이 형성되어 있는 기관(802)은, 챔버들(807 및 808)로 전달되고, 최종적으로 챔버(809)에 도달한다. 챔버들(807 및 808)은 양자 모두가 터보 분자 펌프 등에 의해 진공으로 배기되어 있으며, 챔버(809)내의 공기압을 대기압에 영향을 받지 않고 소정 수준으로 유지하기 위해 제공되어 있다. 비록, 두 개의 챔버들(807 및 808)이 대기압의 영향을 방지하기 위해 사용되지만, 경우에 따라 단 하나의 챔버로 충분할 수 있다. 필요에 따라 셋 이상의 챔버들을 제공하는 것이 가능하다.

실리콘 산질화물 막이 챔버(809)에서 형성된다. 보다 명확하게, 챔버(809)내의 공기압을 터보 분자 펌프 등에 의해 0.4Pa로 유지하면서, 10sccm 유량의 아르곤, 31sccm 유량의 질소, 5sccm 유량의 수소 및 4sccm 유량의 N_2O 가 공급된다.

그 위에 실리콘 산질화물 막이 형성된 기관(802)은 권회 롤(803)에 의해 재권회된다.

삼출한 구조는 두 배리어막들 사이에 개재된 응력 이완막을 포함하는 밀봉막을 가지는 가요성 플라스틱 기판의 대량 생산을 용이하게 한다.

비록, 실리콘 질화물막, 폴리에틸렌으로 이루어진 막 및 실리콘 산질화물 막의 적층체를 포함하는 밀봉막을 형성하기 위한 성막 장치를 본 실시예에서 설명하였지만, 배리어막의 재료는 이에 한정되지 않는다. 부가적으로, 응력 이완 막의 재료는 폴리에틸렌에 한정되지 않으며, 배리어막의 응력 보다 작은 응력을 가지는 소정의 수지 재료가 사용될 수 있다.

비록, 두 개의 배리어 막들이 본 실시예에서 형성되지만, 셋 또는 그 이상의 배리어 막들이 형성될 수 있다. 이런 경우에, 스퍼터링을 위한 챔버와, 대기압의 영향을 방지하기 위한 챔버와, 수지를 적용하기 위한 메카니즘 및 적용된 수지를 경화시키기 위한 메카니즘을 각 성막에 적합한 방식으로 제공하는 것으로 충분하다.

또한, 배리어 막들과 응력 이완 막을 포함하는 다층 밀봉막은 권회 롤(803) 둘레에 기판(802)을 권회한 이후에, 전개 롤(801) 둘레에 권회된 기판을 재권회시키는 단계를 반복함으로써 형성될 수 있다.

제 10 실시예는 제 1 내지 제 9 실시예 중 소정의 것과 조합될 수 있다.

(제 11 실시예)

자기 발광시, 발광 소자를 사용하는 발광 디바이스는 액정 디스플레이 디바이스들 보다 넓은 조망 각도와, 밝은 장소들에서 보다 양호한 가시성을 가진다. 따라서, 발광 디바이스는 다양한 전기 기기들의 디스플레이 디바이스에 사용될 수 있다.

본 발명에 따라 제조된 발광 디바이스를 사용하는 전기 기기의 예로서는 비디오 카메라들, 디지털 카메라들, 안경형 디스플레이들(헤드 장착 디스플레이들), 항법 시스템들, 오디오 재생 디바이스들(카 오디오 및 오디오 콤포넌트들 같은), 노트북 컴퓨터들, 게임기들, 휴대용 정보 단말기들(이동식 컴퓨터들, 휴대 전화들, 휴대용 게임기들 및 전자 도서들 같은), 및, 기록 매체들을 구비한 이미지 재생 디바이스들(특히, 디지털 비디오 디스크(DVD) 같은 기록 매체내의 데이터를 재생하여 데이터의 이미지를 디스플레이하는 디스플레이 디바이스들 구비한 디바이스들)이 주어진다. 넓은 조망 각도는 휴대용 정보 단말기들에서 특히 중요하며, 그 이유는 그들이 보여지게 될 때, 그 스크린이 경사지게 되는 일이 빈번하기 때문이다. 따라서, 휴대용 정보 단말기들에 발광 소자를 사용하는 발광 디스플레이를 사용하는 것이 적합하다. 이들 전기 기기들의 특정 예들이 도 18a 내지 18h에 도시되어 있다.

도 18a는 디지털 스틸 카메라를 도시하고 있으며, 이는 본체(2101)와, 디스플레이 유니트(2102)와, 이미지 수신 유니트(2103)와, 조작 키들(2104)와, 외부 접속 포트(2105)와, 셔터(2106) 등으로 구성된다. 본 발명에 따라 제조된 발광 디바이스는 디스플레이 유니트(2102)에 적용될 수 있다.

도 18b는 이동 컴퓨터를 도시하고 있으며, 이는 본체(2301)와, 디스플레이 유니트(2302)와, 스위치(2303)와, 조작 키들(2304)과, 적외선 포트(2305) 등으로 구성되어 있다. 본 발명에 따라 제조된 발광 디바이스는 디스플레이 유니트(2302)에 적용될 수 있다.

도 18c는 안경형 디스플레이(헤드 장착 디스플레이)를 도시하고 있으며, 이는 본체(2501)와, 디스플레이 유니트(2502)와, 아암 유니트(2503)으로 구성되어 있다. 본 발명에 따라 제조된 발광 디바이스는 디스플레이 유니트(2502)에 적용될 수 있다.

도 18d는 셀룰러 전화를 도시하고 있으며, 이는 본체(2701)와, 케이스(2702)와, 디스플레이 유니트(2703)와, 오디오 입력 유니트(2704)와, 오디오 출력 유니트(2705)와, 조작 키들(2706)과, 외부 접속 포트(2707)와, 안테나(2708) 등으로 구성되어 있다. 본 발명에 따라 제조된 발광 디바이스는 디스플레이 유니트(2703)에 적용될 수 있다. 디스플레이 유니트(2703)가 진정색 배경상에 흰색 문자들을 디스플레이 하는 경우에, 셀룰러 전화는 보다 적은 전력을 소

모하게 된다.

유기 재료들로부터 방출된 광의 휘도가 미래에 향상되게 되면, 발광 디바이스는 렌즈 등을 통해 이미지 정보를 포함하는 출력된 광을 확대시키고 이 광을 투사하는 전방 또는 후방 투사기들에 사용될 수 있다.

이들 전기 기기들은 이제, 인터넷 같은 전자 통신 라인들과, CATV(케이블 텔레비전)을 통해 보내지는 증가된 주파수 정보, 특히, 애니메이션 정보를 디스플레이 할 수 있다. 유기 재료들이 매우 신속한 응답 속도를 가지기 때문에, 발광 디바이스는 애니메이션 디스플레이에 적합하다.

발광 디바이스에서, 발광부들은 전력을 소모하고, 따라서, 보다 적은 발광부들을 필요로 하는 방식으로 정보를 디스플레이하는 것이 적합하다. 휴대용 정보 단말기들, 특히, 주로 문자 정보를 디스플레이하는 셀룰러 전화들 및 오디오 재생 디바이스들의 디스플레이 유니트들에 발광 디바이스를 사용할 때, 비발광 부분들이 배경을 형성하고, 발광 부분들이 문자 정보를 형성하도록 디바이스를 구동하는 것이 적합하다.

상술한 바와 같이, 본 발명의 증착 디바이스를 사용하여 제조된 발광 디바이스들의 응용 범위는 어떠한 분야의 전기 기기들에도 적용할 수 있을 만큼 넓다. 본 실시예의 전기 기기들은 제 1 내지 제 10 실시예들에 도시된 소정의 발광 디바이스를 사용할 수 있다.

발명의 효과

본 발명에 따라서, 복수의 배리어막들의 적층체 구조로 인해, 배리어 막들 중 하나에 균열이 발생하는 경우에도, 다른 배리어 막들이 습기나 산소가 유기 발광 층내로 침투하는 것을 효과적으로 방지할 수 있다. 또한, 낮은 성막 온도로 인해 배리어 막들의 품질이 낮아지는 경우에도, 복수의 배리어 막들의 적층체 구조는 습기나 산소가 유기 발광층내로 침투하는 것을 효과적으로 방지할 수 있다.

또한, 배리어 막들의 응력 보다 작은 응력을 가지는 응력 이완 막이 배리어 막들 사이에 개재되고, 그래서, 전체 절연막들의 응력이 감소될 수 있다. 따라서, 응력 이완막이 그들 사이에 샌드위치식으로 배치되어 있는 배리어 막들은 다층 배리어 막이 단층 배리어 막의 두께와 동일한 층 두께를 가지는 경우에도 단층 배리어 막에 비해 응력으로 인한 균열이 잘 발생하지 않는다.

따라서, 다층 배리어 막은 다층 배리어 막의 층 두께가 단층 배리어 막의 두께와 동일한 경우에도, 단층 배리어 막에 비해 유기 발광층내로 습기나 산소의 침투를 효과적으로 방지할 수 있다. 또한, 응력으로 인한 균열이 이런 다층 배리어배리어 잘 발생하지 않는다.

(57) 청구의 범위

청구항 1.

발광 디바이스에 있어서;

제 1 기판과;

제 2 기판과;

상기 제 1 기판과 상기 제 2 기판 사이에 형성된 발광 소자와;

상기 제 1 기판과 상기 발광 소자 사이에 형성된 복수의 제 1 절연 막들과;

상기 복수의 제 1 절연막들 사이의 각 공간에 형성된 하나 이상의 제 2 절연막과;

상기 제 2 기판과 상기 발광 소자 사이에 형성된 복수의 제 3 절연막들; 및

상기 복수의 제 3 절연막들 사이의 각 공간에 형성된 하나 이상의 제 4 절연 막을 포함하고,

상기 제 1 기판과 상기 제 2 기판은 플라스틱으로 형성되며,

상기 하나 이상의 제 2 절연막은 상기 복수의 제 1 절연막들 각각의 응력 보다 작은 응력을 가지고, 상기 하나 이상의 제 4 절연막은 상기 복수의 제 3 절연막들 각각의 응력 보다 작은 응력을 가지는 발광 디바이스.

청구항 2.

제 1 항에 있어서, 상기 제 1 기판과 제 2 기판 중 하나 이상은 가요성을 가지는 발광 디바이스.

청구항 3.

제 1 항에 있어서, 상기 플라스틱은 폴리에테르 섰론, 폴리카보네이트, 폴리에틸렌 테레프탈레이트 및 폴리에틸렌 나프탈레이트로 구성된 그룹으로부터 선택된 어느 하나를 포함하는 발광 디바이스.

청구항 4.

제 1 항에 있어서, 상기 복수의 제 1 절연막들과 상기 복수의 제 3 절연막들 중 하나 이상은 실리콘 질화물, 실리콘 산질화물, 알루미늄 산화물, 알루미늄 질화물, 알루미늄 산질화물 및 알루미늄 산질화 규화물로 구성된 그룹으로부터 선택된 어느 하나를 포함하는 발광 디바이스.

청구항 5.

제 1 항에 있어서, 상기 제 2 절연막과 상기 제 4 절연막은 폴리에미드, 아크릴, 폴리아미드, 폴리에미드 아미드, 벤조사이클로부텐 및 에폭시 수지로 구성된 그룹으로부터 선택된 어느 하나를 포함하는 발광 디바이스.

청구항 6.

제 1 항에 따른 발광 디바이스를 포함하는 전자 기기에 있어서,

미디어 카메라, 디지털 카메라, 안경형 디스플레이, 차량 항법 시스템, 퍼스널 컴퓨터 및 휴대용 정보 단말기로 구성된 그룹으로부터 선택되는 전자 기기.

청구항 7.

발광 디바이스에 있어서:

제 1 기판과;

제 2 기판과;

상기 제 1 기판과 상기 제 2 기판 사이에 형성된, 발광 소자 및 박막 트랜지스터와;

상기 제 1 기판과, 상기 발광 소자 및 상기 박막 트랜지스터 사이에 형성된 복수의 제 1 절연 막들과;

상기 복수의 제 1 절연막들 사이의 각 공간에 형성된 하나 이상의 제 2 절연막과;

상기 제 2 기판과, 상기 발광 소자 및 상기 박막 트랜지스터 사이에 형성된 복수의 제 3 절연막들; 및

상기 복수의 제 3 절연막들 사이의 각 공간에 형성된 하나 이상의 제 4 절연 막을 포함하고,

상기 제 1 기판과 상기 제 2 기판은 플라스틱으로 형성되며,

상기 하나 이상의 제 2 절연막은 상기 복수의 제 1 절연막들 각각의 응력 보다 작은 응력을 가지고, 상기 하나 이상의 제 4 절연막은 상기 복수의 제 3 절연막들 각각의 응력 보다 작은 응력을 가지는 발광 디바이스.

청구항 8.

제 7 항에 있어서, 상기 제 1 기판과 제 2 기판 중 하나 이상은 가요성을 가지는 발광 디바이스.

청구항 9.

제 7 항에 있어서, 상기 플라스틱은 폴리에테르 섀폰, 폴리카보네이트, 폴리에틸렌 테레프탈레이트 및 폴리에틸렌 나프탈레이트로 구성된 그룹으로부터 선택된 어느 하나를 포함하는 발광 디바이스.

청구항 10.

제 7 항에 있어서, 상기 복수의 제 1 절연막들과 상기 복수의 제 3 절연막들 중 하나 이상은 실리콘 질화물, 실리콘 산 질화물, 알루미늄 산화물, 알루미늄 질화물, 알루미늄 산질화물 및 알루미늄 산질화 규화물로 구성된 그룹으로부터 선택된 어느 하나를 포함하는 발광 디바이스.

청구항 11.

제 7 항에 있어서, 상기 제 2 절연막과 상기 제 4 절연막 중 하나 이상은 은 폴리이미드, 아크릴, 폴리아미드, 폴리이미드 아미드, 벤조사이클로부텐 및 에폭시 수지로 구성된 그룹으로부터 선택된 어느 하나를 포함하는 발광 디바이스.

청구항 12.

제 7 항에 따른 발광 디바이스를 포함하는 전자 기기에 있어서,

비디오 카메라, 디지털 카메라, 안경형 디스플레이, 차량 항법 시스템, 퍼스널 컴퓨터 및 휴대용 정보 단말기로 구성된 그룹으로부터 선택되는 전자 기기.

청구항 13.

발광 디바이스에 있어서:

기판과;

발광 소자와;

상기 기판과 상기 발광 소자 사이에 형성된 복수의 제 1 절연 막들과;

상기 복수의 제 1 절연막들 사이의 각 공간에 형성된 하나 이상의 제 2 절연막과;

복수의 제 3 절연막들; 및

상기 복수의 제 3 절연막들 사이의 각 공간에 형성된 하나 이상의 제 4 절연 막을 포함하고,

상기 발광 소자는 상기 복수의 제 3 절연막들과 상기 기판사이에 형성되고,

상기 기판은 플라스틱으로 형성되며,

상기 하나 이상의 제 2 절연막은 상기 복수의 제 1 절연막들 각각의 응력 보다 작은 응력을 가지고, 상기 하나 이상의 제 4 절연막은 상기 복수의 제 3 절연막들 각각의 응력 보다 작은 응력을 가지는 발광 디바이스.

청구항 14.

제 13 항에 있어서, 상기 기판은 가요성을 가지는 발광 디바이스.

청구항 15.

제 13 항에 있어서, 상기 플라스틱은 폴리에테르 섀폰, 폴리카보네이트, 폴리에틸렌 테레프탈레이트 및 폴리에틸렌 나프탈레이트로 구성된 그룹으로부터 선택된 어느 하나를 포함하는 발광 디바이스.

청구항 16.

제 13 항에 있어서, 상기 복수의 제 1 절연막들과 상기 복수의 제 3 절연막들 중 하나 이상은 실리콘 질화물, 실리콘 산 질화물, 알루미늄 산화물, 알루미늄 질화물, 알루미늄 산질화물 및 알루미늄 산질화 규화물로 구성된 그룹으로부터 선택된 어느 하나를 포함하는 발광 디바이스.

청구항 17.

제 13 항에 있어서, 상기 제 2 절연막과 상기 제 4 절연막 중 하나 이상은 은 폴리이미드, 아크릴, 폴리아미드, 폴리이미드 아미드, 벤조사이클로부텐 및 에폭시 수지로 구성된 그룹으로부터 선택된 어느 하나를 포함하는 발광 디바이스.

청구항 18.

제 13 항에 따른 발광 디바이스를 포함하는 전자 기기에 있어서,

비디오 카메라, 디지털 카메라, 안정형 디스플레이, 차량 항법 시스템, 퍼스널 컴퓨터 및 휴대용 정보 단말기로 구성된 그룹으로부터 선택되는 전자 기기.

청구항 19.

발광 디바이스에 있어서:

기판과;

발광 소자 및 박막 트랜지스터와;

상기 기판과, 상기 발광 소자 및 상기 박막 트랜지스터 사이에 형성된 복수의 제 1 절연 막들과;

상기 복수의 제 1 절연막들 사이의 각 공간에 형성된 하나 이상의 제 2 절연막과;

복수의 제 3 절연막들; 및

상기 복수의 제 3 절연막들 사이의 각 공간에 형성된 하나 이상의 제 4 절연 막을 포함하고,

상기 발광 소자 및 박막 트랜지스터는 상기 복수의 제 3 절연막들과 상기 기판 사이에 형성되고,

상기 기판은 플라스틱으로 형성되며,

상기 하나 이상의 제 2 절연막은 상기 복수의 제 1 절연막들 각각의 응력 보다 작은 응력을 가지고, 상기 하나 이상의 제 4 절연막은 상기 복수의 제 3 절연막들 각각의 응력 보다 작은 응력을 가지는 발광 디바이스.

청구항 20.

제 19 항에 있어서, 상기 기판은 가요성을 가지는 발광 디바이스.

청구항 21.

제 19 항에 있어서, 상기 플라스틱은 폴리에테르 설펜, 폴리카보네이트, 폴리에틸렌 테레프탈레이트 및 폴리에틸렌 나프탈레이트로 구성된 그룹으로부터 선택된 어느 하나를 포함하는 발광 디바이스.

청구항 22.

제 19 항에 있어서, 상기 복수의 제 1 절연막들과 상기 복수의 제 3 절연막들 중 하나 이상은 실리콘 질화물, 실리콘 산 질화물, 알루미늄 산화물, 알루미늄 질화물, 알루미늄 산질화물 및 알루미늄 산질화 규화물로 구성된 그룹으로부터 선택된 어느 하나를 포함하는 발광 디바이스.

청구항 23.

제 19 항에 있어서, 상기 제 2 절연막과 상기 제 4 절연막 중 하나 이상은 은 폴리이미드, 아크릴, 폴리아미드, 폴리이미드 아미드, 벤조사이클로부텐 및 에폭시 수지로 구성된 그룹으로부터 선택된 어느 하나를 포함하는 발광 디바이스.

청구항 24.

제 19 항에 따른 발광 디바이스를 포함하는 전자 기기에 있어서,

비디오 카메라, 디지털 카메라, 안경형 디스플레이, 차량 항법 시스템, 퍼스널 컴퓨터 및 휴대용 정보 단말기로 구성된 그룹으로부터 선택되는 전자 기기.

청구항 25.

발광 디바이스에 있어서:

제 1 기판과;

제 2 기판과;

상기 제 1 기판과 상기 제 2 기판 사이에 형성된 발광 소자와;

상기 제 1 기판과 상기 발광 소자 사이에 형성된 복수의 제 1 절연 막들과;

상기 복수의 제 1 절연막들 사이의 각 공간에 형성된 하나 이상의 제 2 절연막과;

상기 제 1 기판과 상기 복수의 제 1 절연막들 사이에 형성된 제 1 접합층과;

상기 제 2 기판과 상기 발광 소자 사이에 형성된 복수의 제 3 절연막들과;

상기 복수의 제 3 절연막들 사이의 각 공간에 형성된 하나 이상의 제 4 절연 막; 및,

상기 제 2 기판과 복수의 제 3 절연막들 사이에 형성된 제 2 접합층을 포함하고,

상기 제 1 기판과 상기 제 2 기판은 플라스틱으로 형성되며,

상기 하나 이상의 제 2 절연막은 상기 복수의 제 1 절연막들 각각의 응력 보다 작은 응력을 가지고, 상기 하나 이상의 제 4 절연막은 상기 복수의 제 3 절연막들 각각의 응력 보다 작은 응력을 가지는 발광 디바이스.

청구항 26.

제 25 항에 있어서, 상기 제 1 기판과 제 2 기판 중 하나 이상은 가요성을 가지는 발광 디바이스.

청구항 27.

제 25 항에 있어서, 상기 플라스틱은 폴리에테르 설펜, 폴리카보네이트, 폴리에틸렌 테레프탈레이트 및 폴리에틸렌 나프탈레이트로 구성된 그룹으로부터 선택된 어느 하나를 포함하는 발광 디바이스.

청구항 28.

제 25 항에 있어서, 상기 복수의 제 1 절연막들과 상기 복수의 제 3 절연막들 중 하나 이상은 실리콘 질화물, 실리콘 산 질화물, 알루미늄 산화물, 알루미늄 질화물, 알루미늄 산질화물 및 알루미늄 산질화 규화물로 구성된 그룹으로부터 선택된 어느 하나를 포함하는 발광 디바이스.

청구항 29.

제 25 항에 있어서, 상기 제 2 절연막과 상기 제 4 절연막은 폴리이미드, 아크릴, 폴리아미드, 폴리이미드 아미드, 벤조사이클로부텐 및 에폭시 수지로 구성된 그룹으로부터 선택된 어느 하나를 포함하는 발광 디바이스.

청구항 30.

제 25 항에 따른 발광 디바이스를 포함하는 전자 기기에 있어서,

비디오 카메라, 디지털 카메라, 안경형 디스플레이, 차량 항법 시스템, 퍼스널 컴퓨터 및 휴대용 정보 단말기로 구성된 그룹으로부터 선택되는 전자 기기.

청구항 31.

발광 디바이스를 제조하는 방법에 있어서:

제 1 기판 위에 제 1 접합층을 형성하는 것과;

상기 제 1 접합층 위에 제 1 절연막을 형성하는 것과;

상기 제 1 절연막 위에 발광 소자와 박막 트랜지스터를 형성하는 것과;

상기 발광 소자와 상기 박막 트랜지스터를 덮도록 제 2 절연막을 형성하는 것과;

제 2 기판에 포함된, 그들 사이에 하나 이상의 제 3 절연막이 개재되어 있는 복수의 제 4 절연막들과 상기 제 2 절연막을 제 2 접합층을 통해 서로에 대해 접합하는 것과;

상기 제 1 기판을 제거하고, 상기 제 1 접합층을 제거함으로써 상기 제 1 절연막을 노출시키는 것; 및,

제 3 기판내에 포함된, 그들 사이에 하나 이상의 제 5 절연막이 개재되어 있는 복수의 제 6 절연막들과 상기 제 1 절연막을 제 3 접합층을 통해 서로에 대해 접합하는 것을 포함하고,

상기 제 2 기판과 상기 제 3 기판은 플라스틱으로 형성되고,

상기 하나 이상의 제 3 절연막은 상기 복수의 제 4 절연막들 각각의 용력 보다 작은 용력을 가지고, 상기 하나 이상의 제 5 절연막은 상기 복수의 제 6 절연막들 각각의 용력 보다 작은 용력을 가지는 발광 디바이스 제조 방법.

청구항 32.

제 31 항에 있어서, 상기 제 1 접합층은 그 위에 유체를 분무함으로써 제거되는 발광 디바이스 제조 방법.

청구항 33.

제 31 항에 있어서, 상기 제 1 접합층은 실리콘을 포함하는 발광 디바이스 제조 방법.

청구항 34.

제 33 항에 있어서, 상기 제 1 접합층은 할로겐 플로라이드를 사용함으로써 제거되는 발광 디바이스 제조 방법.

청구항 35.

제 31 항에 있어서, 상기 제 1 접합층은 SOG를 포함하는 발광 디바이스 제조 방법.

청구항 36.

제 35 항에 있어서, 상기 제 1 접합층은 불화 수소를 사용하여 제거되는 발광 디바이스 제조 방법.

청구항 37.

제 31 항에 있어서, 상기 제 1 접합층은 레이저 빔을 사용하여 제거되는 발광 디바이스 제조 방법.

청구항 38.

제 37 항에 있어서, 상기 레이저 빔은 펄스 발진 엑시머 레이저, 연속파 엑시머 레이저, YAG 레이저 및 YVO₄ 레이저 중 어느 하나로부터 방출되는 발광 디바이스 제조 방법.

청구항 39.

제 37 항에 있어서, 상기 레이저 빔은 YAG 레이저로부터 방출된, 기본파, 제 2 고조파 및 제 3 고조파 중 어느 하나인 발광 디바이스 제조 방법.

청구항 40.

제 31 항에 있어서, 하나 이상의 제 3 절연막과, 하나 이상의 제 5 절연막 중 하나는 폴리이미드, 아크릴, 폴리아미드, 폴리이미드 아미드, 벤조사이클로부텐 및 에폭시 수지로 구성된 그룹으로부터 선택된 어느 하나를 포함하는 발광 디바이스 제조 방법.

청구항 41.

제 31 항에 있어서, 상기 복수의 제 4 절연막들과 상기 복수의 제 6 절연막들의 막들은 실리콘 질화물, 실리콘 산질화물, 알루미늄 산화물, 알루미늄 질화물, 알루미늄 산질화물 및 알루미늄 산질화 규화물로 구성되는 그룹으로부터 선택된 어느 하나를 포함하는 발광 디바이스 제조 방법.

청구항 42.

제 31 항에 있어서, 상기 플라스틱은 폴리에테르 섀폰, 폴리카보네이트, 폴리에틸렌 테레프탈레이트 및 폴리에틸렌 나프탈레이트로 구성된 그룹으로부터 선택된 어느 하나를 포함하는 발광 디바이스 제조 방법.

청구항 43.

발광 디바이스를 제조하는 방법에 있어서:

제 1 기판 위에 제 1 접합층을 형성하는 것과;

상기 제 1 접합층 위에 제 1 절연막을 형성하는 것과;

상기 제 1 절연막 위에 발광 소자와 박막 트랜지스터와 배선을 형성하는 것과;

상기 발광 소자와 상기 박막 트랜지스터 및 배선을 덮도록 제 2 절연막을 형성하는 것과;

제 2 기판에 포함된, 그들 사이에 하나 이상의 제 3 절연막이 개재되어 있는 복수의 제 4 절연막들과 상기 제 2 절연막을 제 2 접합층을 통해 서로에 대해 접합하는 것과;

상기 제 1 기판을 제거하고, 상기 제 1 접합층을 제거함으로써 상기 제 1 절연막을 노출시키는 것과;

제 3 기판내에 포함된, 그들 사이에 하나 이상의 제 5 절연막이 개재되어 있는 복수의 제 6 절연막들과 상기 제 1 절연막을 제 3 접합층을 통해 서로에 대해 접합하는 것; 및,

상기 배선의 일부와 FPC에에 포함된 단자가 이방성을 가진 전도성 수지를 사용함으로써 서로 전기적으로 접속되도록, 상기 제 2 기판과, 상기 제 2 절연막과, 상기 하나 이상의 제 3 절연막과, 상기 복수의 제 4 절연막들과, 상기 제 2 접합층을 부분적으로 제거하여 상기 배선을 부분적으로 노출시키는 것을 포함하고,

상기 제 2 기판과 상기 제 3 기판은 플라스틱으로 형성되고,

상기 하나 이상의 제 3 절연막은 상기 복수의 제 4 절연막들 각각의 용력 보다 작은 용력을 가지고, 상기 하나 이상의 제 5 절연막은 상기 복수의 제 6 절연막들 각각의 용력 보다 작은 용력을 가지는 발광 디바이스 제조 방법.

청구항 44.

제 43 항에 있어서, 상기 제 1 접합층은 그 위에 유체를 분무함으로써 제거되는 발광 디바이스 제조 방법.

청구항 45.

제 43 항에 있어서, 상기 제 1 접합층은 실리콘을 포함하는 발광 디바이스 제조 방법.

청구항 46.

제 45 항에 있어서, 상기 제 1 접합층은 할로겐 플로라이드를 사용함으로써 제거되는 발광 디바이스 제조 방법.

청구항 47.

제 43 항에 있어서, 상기 제 1 접합층은 SOG를 포함하는 발광 디바이스 제조 방법.

청구항 48.

제 47 항에 있어서, 상기 제 1 접합층은 불화 수소를 사용하여 제거되는 발광 디바이스 제조 방법.

청구항 49.

제 43 항에 있어서, 상기 제 1 접합층은 레이저 빔을 사용하여 제거되는 발광 디바이스 제조 방법.

청구항 50.

제 49 항에 있어서, 상기 레이저 빔은 펄스 발진 엑시머 레이저, 연속파 엑시머 레이저, YAG 레이저 및 YVO₄ 레이저 중 어느 하나로부터 방출되는 발광 디바이스 제조 방법.

청구항 51.

제 49 항에 있어서, 상기 레이저 빔은 YAG 레이저로부터 방출된, 기본파, 제 2 고조파 및 제 3 고조파 중 어느 하나인 발광 디바이스 제조 방법.

청구항 52.

제 43 항에 있어서, 하나 이상의 제 3 절연막과, 하나 이상의 제 5 절연막 중 하나는 폴리이미드, 아크릴, 폴리아미드, 폴리이미드 아미드, 벤조사이클로부텐 및 에폭시 수지로 구성된 그룹으로부터 선택된 어느 하나를 포함하는 발광 디바이스 제조 방법.

청구항 53.

제 43 항에 있어서, 상기 복수의 제 4 절연막들과 상기 복수의 제 6 절연막들의 막들은 실리콘 질화물, 실리콘 산질화물, 알루미늄 산화물, 알루미늄 질화물, 알루미늄 산질화물 및 알루미늄 산질화 규화물로 구성되는 그룹으로부터 선택된 어느 하나를 포함하는 발광 디바이스 제조 방법.

청구항 54.

제 43 항에 있어서, 상기 플라스틱은 폴리에테르 설펜, 폴리카보네이트, 폴리에틸렌 테레프탈레이트 및 폴리에틸렌 나프탈레이트로 구성된 그룹으로부터 선택된 어느 하나를 포함하는 발광 디바이스 제조 방법.

청구항 55.

발광 디바이스를 제조하는 방법에 있어서:

제 1 기판 위에 제 1 집합층을 형성하는 것과;

상기 제 1 집합층 위에 제 1 절연막을 형성하는 것과;

상기 제 1 절연막 위에 발광 소자와 박막 트랜지스터와 배선을 형성하는 것과;

상기 발광 소자와 상기 박막 트랜지스터 및 배선을 덮도록 제 2 절연막을 형성하는 것과;

제 2 기판에 포함된, 그들 사이에 하나 이상의 제 3 절연막이 개재되어 있는 복수의 제 4 절연막들과 상기 제 2 절연막을 제 2 집합층을 통해 서로에 대해 접합하는 것과;

상기 제 1 기판을 제거하고, 상기 제 1 집합층을 제거함으로써 상기 제 1 절연막을 노출시키는 것과;

제 3 기판내에 포함된, 그들 사이에 하나 이상의 제 5 절연막이 개재되어 있는 복수의 제 6 절연막들과 상기 제 1 절연막을 제 3 집합층을 통해 서로에 대해 접합하는 것; 및,

상기 배선의 일부와 FPC에에 포함된 단자가 이방성을 가진 전도성 수지를 사용함으로써 서로 전기적으로 접속되도록, 상기 제 1 절연막과, 상기 하나 이상의 제 5 절연막과, 상기 복수의 제 6 절연막들과, 상기 제 3 집합층을 부분적으로 제거하여 상기 배선을 부분적으로 노출시키는 것을 포함하고,

상기 제 2 기판과 상기 제 3 기판은 플라스틱으로 형성되고,

상기 하나 이상의 제 3 절연막은 상기 복수의 제 4 절연막들 각각의 용력 보다 작은 용력을 가지고, 상기 하나 이상의 제 5 절연막은 상기 복수의 제 6 절연막들 각각의 용력 보다 작은 용력을 가지는 발광 디바이스 제조 방법.

청구항 56.

제 55 항에 있어서, 상기 제 1 집합층은 그 위에 유체를 분부함으로써 제거되는 발광 디바이스 제조 방법.

청구항 57.

제 55 항에 있어서, 상기 제 1 집합층은 실리콘을 포함하는 발광 디바이스 제조 방법.

청구항 58.

제 57 항에 있어서, 상기 제 1 집합층은 할로겐 플로라이드를 사용함으로써 제거되는 발광 디바이스 제조 방법.

청구항 59.

제 55 항에 있어서, 상기 제 1 집합층은 SOC를 포함하는 발광 디바이스 제조 방법.

청구항 60.

제 59 항에 있어서, 상기 제 1 집합층은 불화 수소를 사용하여 제거되는 발광 디바이스 제조 방법.

청구항 61.

제 55 항에 있어서, 상기 제 1 집합층은 레이저 빔을 사용하여 제거되는 발광 디바이스 제조 방법.

청구항 62.

제 61 항에 있어서, 상기 레이저 빔은 펄스 발진 엑시머 레이저, 연속파 엑시머 레이저, YAG 레이저 및 YVO₄ 레이저 중 어느 하나로부터 방출되는 발광 디바이스 제조 방법.

청구항 63.

제 61 항에 있어서, 상기 레이저 빔은 YAG 레이저로부터 방출된, 기본파, 제 2 고조파 및 제 3 고조파 중 어느 하나인 발광 디바이스 제조 방법.

청구항 64.

제 55 항에 있어서, 하나 이상의 제 3 절연막과, 하나 이상의 제 5 절연막 중 하나는 폴리이미드, 아크릴, 폴리아미드, 폴리이미드 아미드, 벤조사이클로부텐 및 에폭시 수지로 구성된 그룹으로부터 선택된 어느 하나를 포함하는 발광 디바이스 제조 방법.

청구항 65.

제 55 항에 있어서, 상기 복수의 제 4 절연막들과 상기 복수의 제 6 절연막들의 막들은 실리콘 질화물, 실리콘 산질화물, 알루미늄 산화물, 알루미늄 질화물, 알루미늄 산질화물 및 알루미늄 산질화 규화물로 구성되는 그룹으로부터 선택된 어느 하나를 포함하는 발광 디바이스 제조 방법.

청구항 66.

제 55 항에 있어서, 상기 플라스틱은 폴리에테르 설펜, 폴리카보네이트, 폴리에틸렌 테레프탈레이트 및 폴리에틸렌 나프탈레이트로 구성된 그룹으로부터 선택된 어느 하나를 포함하는 발광 디바이스 제조 방법.

청구항 67.

발광 디바이스를 제조하는 방법에 있어서:

제 1 기판 위에 제 1 집합층을 형성하는 것과;

상기 제 1 집합층 위에 제 1 절연막을 형성하는 것과;

상기 제 1 절연막 위에 발광 소자와 박막 트랜지스터를 형성하는 것과;

상기 발광 소자와 상기 박막 트랜지스터를 덮도록 제 2 절연막을 형성하는 것과;

제 2 기판과 상기 제 2 절연막을 제 2 집합층을 통해 서로에 대해 접합하는 것과;

상기 제 1 기판을 제거하고, 상기 제 1 집합층을 제거함으로써 상기 제 1 절연막을 노출시키는 것과;

제 3 기판내에 포함된, 그들 사이에 하나 이상의 제 3 절연막이 개재되어 있는 복수의 제 4 절연막들과 상기 제 1 절연막을 제 3 집합층을 통해 서로에 대해 접합하는 것과;

상기 제 2 기판을 제거하고, 상기 제 2 집합층을 제거함으로써 상기 제 2 절연막을 노출시키는 것; 및,

그들 사이에 하나 이상의 제 5 절연막이 개재되어 있고, 상기 제 2 절연막과 접촉하는 복수의 제 6 절연막들을 형성하는 것을 포함하고,

상기 제 3 기판은 플라스틱으로 형성되고,

상기 하나 이상의 제 3 절연막은 상기 복수의 제 4 절연막들 각각의 용력 보다 작은 용력을 가지고, 상기 하나 이상의 제 5 절연막은 상기 복수의 제 6 절연막들 각각의 용력 보다 작은 용력을 가지는 발광 디바이스 제조 방법.

청구항 68.

제 67 항에 있어서, 상기 제 1 집합층 및 상기 제 2 집합층 중 하나는 그 위에 유체를 분무함으로써 제거되는 발광 디바이스 제조 방법.

청구항 69.

제 67 항에 있어서, 상기 제 1 집합층은 실리콘을 포함하는 발광 디바이스 제조 방법.

청구항 70.

제 69 항에 있어서, 상기 제 1 집합층은 할로겐 플로라이드를 사용함으로써 제거되는 발광 디바이스 제조 방법.

청구항 71.

제 67 항에 있어서, 상기 제 1 집합층은 SOG를 포함하는 발광 디바이스 제조 방법.

청구항 72.

제 71 항에 있어서, 상기 제 1 집합층은 불화 수소를 사용하여 제거되는 발광 디바이스 제조 방법.

청구항 73.

제 67 항에 있어서, 상기 제 1 집합층 및 상기 제 2 집합층 중 하나는 레이저 빔을 사용하여 제거되는 발광 디바이스 제조 방법.

청구항 74.

제 73 항에 있어서, 상기 레이저 빔은 펄스 발진 엑시머 레이저, 연속파 엑시머 레이저, YAG 레이저 및 YVO₄ 레이저 중 어느 하나로부터 방출되는 발광 디바이스 제조 방법.

청구항 75.

제 73 항에 있어서, 상기 레이저 빔은 YAG 레이저로부터 방출된, 기본파, 제 2 고조파 및 제 3 고조파 중 어느 하나인 발광 디바이스 제조 방법.

청구항 76.

제 67 항에 있어서, 하나 이상의 제 3 절연막과, 하나 이상의 제 5 절연막 중 하나는 폴리이미드, 아크릴, 폴리아미드, 폴리이미드 아미드, 벤조사이클로부텐 및 에폭시 수지로 구성된 그룹으로부터 선택된 어느 하나를 포함하는 발광 디바이스 제조 방법.

청구항 77.

제 67 항에 있어서, 상기 복수의 제 4 절연막들과 상기 복수의 제 6 절연막들의 막들은 실리콘 질화물, 실리콘 산질화물, 알루미늄 산화물, 알루미늄 질화물, 알루미늄 산질화물 및 알루미늄 산질화 규화물로 구성되는 그룹으로부터 선택된 어느 하나를 포함하는 발광 디바이스 제조 방법.

청구항 78.

제 67 항에 있어서, 상기 플라스틱은 폴리에테르 섀폰, 폴리카보네이트, 폴리에틸렌 테레프탈레이트 및 폴리에틸렌 나프탈레이트로 구성된 그룹으로부터 선택된 어느 하나를 포함하는 발광 디바이스 제조 방법.

청구항 79.

발광 디바이스를 제조하는 방법에 있어서;

제 1 기판 위에 제 1 집합층을 형성하는 것과;

상기 제 1 집합층 위에 제 1 절연막을 형성하는 것과;

상기 제 1 절연막 위에 발광 소자와 박막 트랜지스터 및 배선을 형성하는 것과;

상기 발광 소자와 상기 박막 트랜지스터 및 상기 배선을 덮도록 제 2 절연막을 형성하는 것과;

제 2 기판과 상기 제 2 절연막을 제 2 집합층을 통해 서로에 대해 접합하는 것과;

상기 제 1 기판을 제거하고, 상기 제 1 집합층을 제거함으로써 상기 제 1 절연막을 노출시키는 것과;

제 3 기판내에 포함된, 그들 사이에 하나 이상의 제 3 절연막이 개재되어 있는 복수의 제 4 절연막들과 상기 제 1 절연막을 제 3 집합층을 통해 서로에 대해 접합하는 것과;

상기 제 2 절연막을 노출시키기 위해 상기 제 2 기판을 제거하도록 상기 제 2 집합층을 제거하는 것과;

그들 사이에 하나 이상의 제 5 절연막이 개재되어 있고, 상기 제 2 절연막과 접촉하는 복수의 제 6 절연막들을 형성하는 것; 및,

상기 배선의 일부와 FPC에에 포함된 단자가 이방성을 가진 전도성 수지를 사용함으로써 서로 전기적으로 접속되도록, 상기 제 2 절연막과, 하나 이상의 제 5 절연막 및 복수의 제 6 절연막들을 부분적으로 제거하여 상기 배선을 부분적으로 노출시키는 것을 포함하고,

상기 제 3 기판은 플라스틱으로 형성되고,

상기 하나 이상의 제 3 절연막은 상기 복수의 제 4 절연막들 각각의 용력 보다 작은 용력을 가지고, 상기 하나 이상의 제 5 절연막은 상기 복수의 제 6 절연막들 각각의 용력 보다 작은 용력을 가지는 발광 디바이스 제조 방법.

청구항 80.

제 79 항에 있어서, 상기 제 1 집합층 및 상기 제 2 집합층 중 하나는 그 위에 유체를 분무함으로써 제거되는 발광 디바이스 제조 방법.

청구항 81.

제 79 항에 있어서, 상기 제 1 집합층은 실리콘을 포함하는 발광 디바이스 제조 방법.

청구항 82.

제 81 항에 있어서, 상기 제 1 집합층은 할로젠 플로라이드를 사용함으로써 제거되는 발광 디바이스 제조 방법.

청구항 83.

제 79 항에 있어서, 상기 제 1 접합층은 SOG를 포함하는 발광 디바이스 제조 방법.

청구항 84.

제 83 항에 있어서, 상기 제 1 접합층은 불화 수소를 사용하여 제거되는 발광 디바이스 제조 방법.

청구항 85.

제 79 항에 있어서, 상기 제 1 접합층 및 제 2 접합층 중 하나는 레이저 빔을 사용하여 제거되는 발광 디바이스 제조 방법.

청구항 86.

제 85 항에 있어서, 상기 레이저 빔은 펄스 발진 엑시머 레이저, 연속파 엑시머 레이저, YAG 레이저 및 YVO₄ 레이저 중 어느 하나로부터 방출되는 발광 디바이스 제조 방법.

청구항 87.

제 85 항에 있어서, 상기 레이저 빔은 YAG 레이저로부터 방출된, 기본파, 제 2 고조파 및 제 3 고조파 중 어느 하나인 발광 디바이스 제조 방법.

청구항 88.

제 79 항에 있어서, 하나 이상의 제 3 절연막과, 하나 이상의 제 5 절연막 중 하나는 폴리이미드, 아크릴, 폴리아미드, 폴리이미드 아미드, 벤조사이클로부텐 및 에폭시 수지로 구성된 그룹으로부터 선택된 어느 하나를 포함하는 발광 디바이스 제조 방법.

청구항 89.

제 79 항에 있어서, 상기 복수의 제 4 절연막들과 상기 복수의 제 6 절연막들의 박들은 실리콘 질화물, 실리콘 산질화물, 알루미늄 산화물, 알루미늄 질화물, 알루미늄 산질화물 및 알루미늄 산질화 규화물로 구성되는 그룹으로부터 선택된 어느 하나를 포함하는 발광 디바이스 제조 방법.

청구항 90.

제 79 항에 있어서, 상기 플라스틱은 폴리에테르 설폰, 폴리카보네이트, 폴리에틸렌 테레프탈레이트 및 폴리에틸렌 나프탈레이트로 구성된 그룹으로부터 선택된 어느 하나를 포함하는 발광 디바이스 제조 방법.

청구항 91.

발광 디바이스를 제조하는 방법에 있어서:

제 1 기판 위에 제 1 접합층을 형성하는 것과;

상기 제 1 접합층 위에 제 1 절연막을 형성하는 것과;

상기 제 1 절연막 위에 발광 소자와 박막 트랜지스터 및 배선을 형성하는 것과;

상기 발광 소자와 상기 박막 트랜지스터 및 상기 배선을 덮도록 제 2 절연막을 형성하는 것과;

제 2 기판과 상기 제 2 절연막을 제 2 접합층을 통해 서로에 대해 접합하는 것과;

상기 제 1 기판을 제거하고, 상기 제 1 접합층을 제거함으로써 상기 제 1 절연막을 노출시키는 것과;

제 3 기판내에 포함된, 그들 사이에 하나 이상의 제 3 절연막이 개재되어 있는 복수의 제 4 절연막들과 상기 제 1 절연막을 제 3 접합층을 통해 서로에 대해 접합하는 것과;

상기 제 2 기판을 제거하고, 상기 제 2 접합층을 제거하여 상기 제 2 절연막을 노출시키는 것과;

그들 사이에 하나 이상의 제 5 절연막이 개재되어 있고, 상기 제 2 절연막과 접촉하는 복수의 제 6 절연막들을 형성하는 것; 및,

상기 배선의 일부와 FPC에에 포함된 단자가 이방성을 가진 전도성 수지를 사용함으로써 서로 전기적으로 접속되도록, 상기 제 3 기판과, 상기 제 1 절연막과, 상기 하나 이상의 제 3 절연막과, 상기 복수의 제 4 절연막들 및 상기 제 3 접합층을 부분적으로 제거하여 상기 배선을 부분적으로 노출시키는 것을 포함하고,

상기 제 3 기판은 플라스틱으로 형성되고,

상기 하나 이상의 제 3 절연막은 상기 복수의 제 4 절연막들 각각의 용력 보다 작은 용력을 가지고, 상기 하나 이상의 제 5 절연막은 상기 복수의 제 6 절연막들 각각의 용력 보다 작은 용력을 가지는 발광 디바이스 제조 방법.

청구항 92.

제 91 항에 있어서, 상기 제 1 접합층 및 상기 제 2 접합층은 그 위에 유체를 분무함으로써 제거되는 발광 디바이스 제조 방법.

청구항 93.

제 91 항에 있어서, 상기 제 1 접합층은 실리콘을 포함하는 발광 디바이스 제조 방법.

청구항 94.

제 93 항에 있어서, 상기 제 1 접합층은 할로젠 플로라이드를 사용함으로써 제거되는 발광 디바이스 제조 방법.

청구항 95.

제 91 항에 있어서, 상기 제 1 접합층은 SOG를 포함하는 발광 디바이스 제조 방법.

청구항 96.

제 95 항에 있어서, 상기 제 1 접합층은 불화 수소를 사용하여 제거되는 발광 디바이스 제조 방법.

청구항 97.

제 91 항에 있어서, 상기 제 1 접합층 및 상기 제 2 접합층은 레이저 빔을 사용하여 제거되는 발광 디바이스 제조 방법.

청구항 98.

제 97 항에 있어서, 상기 레이저 빔은 펄스 발진 엑시머 레이저, 연속파 엑시머 레이저, YAG 레이저 및 YVO₄ 레이저 중 어느 하나로부터 방출되는 발광 디바이스 제조 방법.

청구항 99.

제 97 항에 있어서, 상기 레이저 빔은 YAG 레이저로부터 방출된, 기본파, 제 2 고조파 및 제 3 고조파 중 어느 하나인 발광 디바이스 제조 방법.

청구항 100.

제 91 항에 있어서, 하나 이상의 제 3 절연막과, 하나 이상의 제 5 절연막 중 하나는 폴리이미드, 아크릴, 폴리아미드, 폴리이미드 아미드, 벤조사이클로부텐 및 에폭시 수지로 구성된 그룹으로부터 선택된 어느 하나를 포함하는 발광 디바이스 제조 방법.

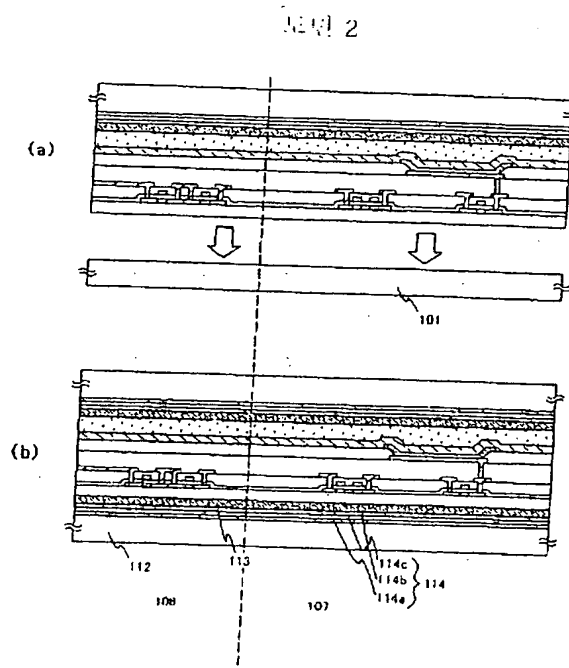
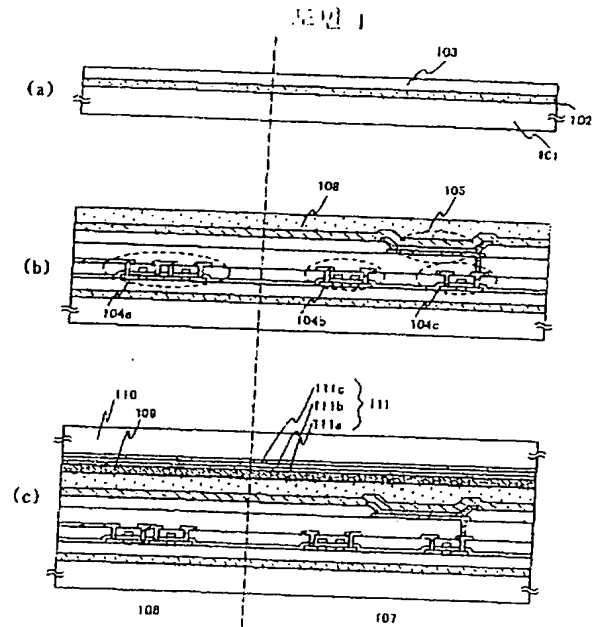
청구항 101.

제 91 항에 있어서, 상기 복수의 제 4 절연막들과 상기 복수의 제 6 절연막들의 막들은 실리콘 질화물, 실리콘 산질화물, 알루미늄 산화물, 알루미늄 질화물, 알루미늄 산질화물 및 알루미늄 산질화 규화물로 구성되는 그룹으로부터 선택된 어느 하나를 포함하는 발광 디바이스 제조 방법.

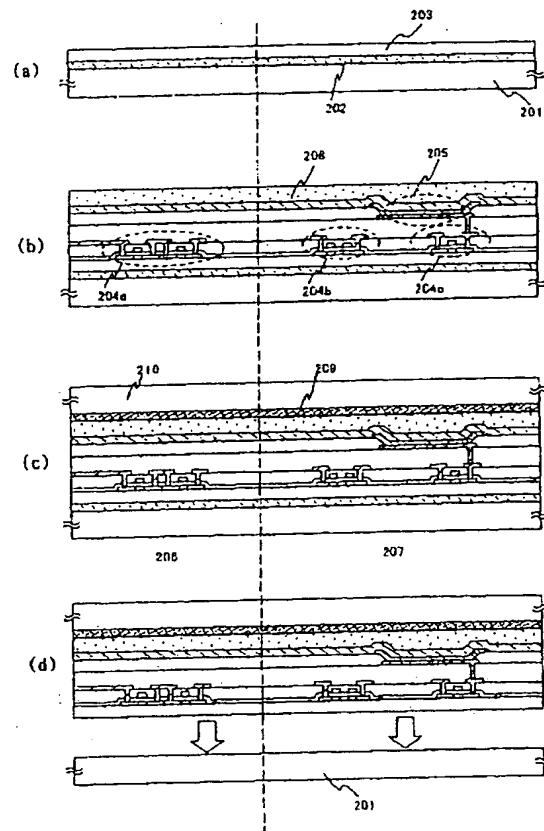
청구항 102.

제 91 항에 있어서, 상기 플라스틱은 폴리에테르 설펜, 폴리카보네이트, 폴리에틸렌 테레프탈레이트 및 폴리에틸렌 나프탈레이트로 구성된 그룹으로부터 선택된 어느 하나를 포함하는 발광 디바이스 제조 방법.

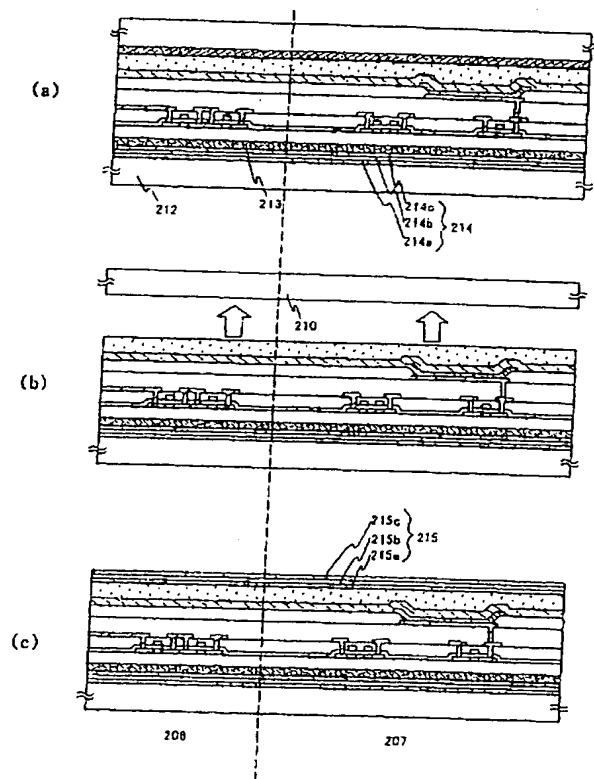
도면



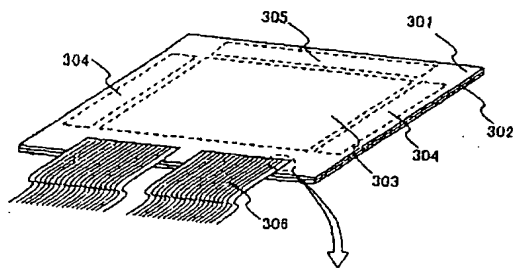
도면 3



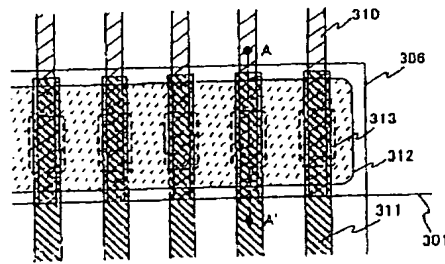
도면 4



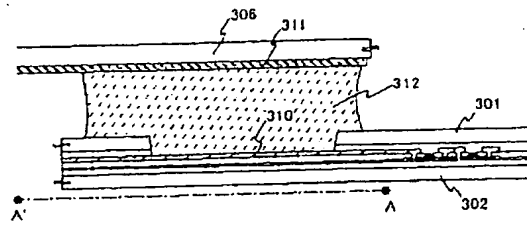
도면 5a



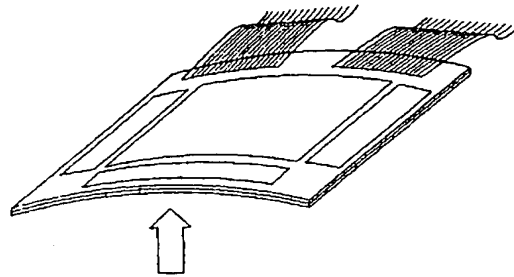
도면 5b



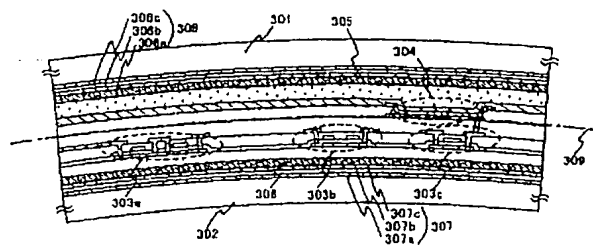
도면 5c



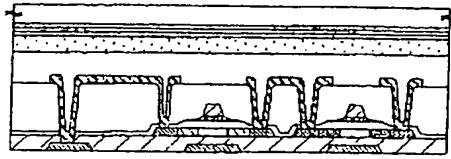
도면 6a



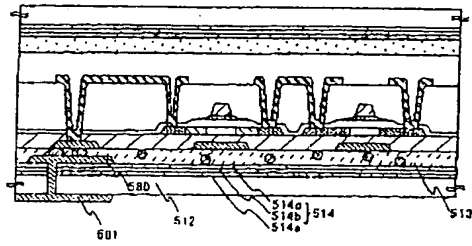
도면 6b



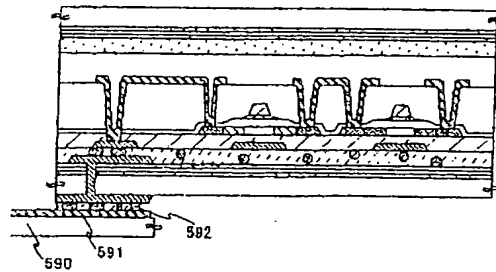
도면 9a



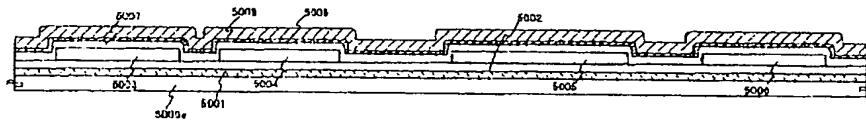
도면 9b



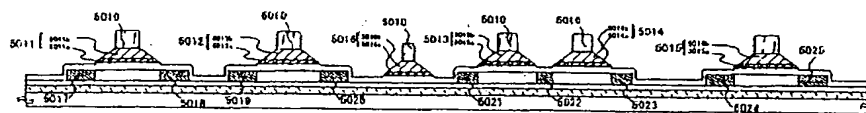
도면 9c



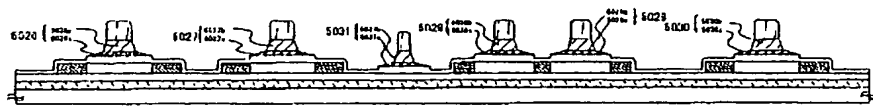
도면 10a



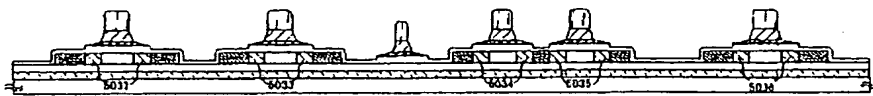
도면 10b



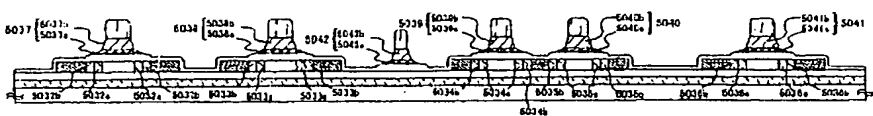
도면 10c



도면 11a



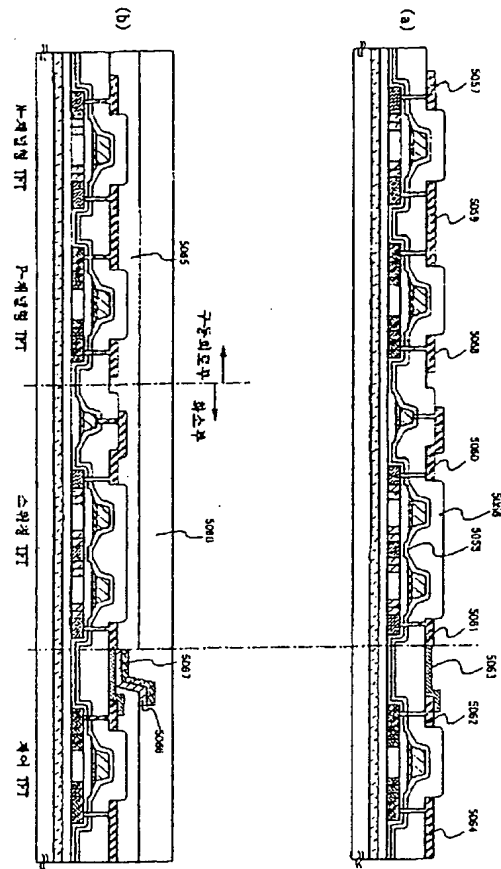
도면 11b



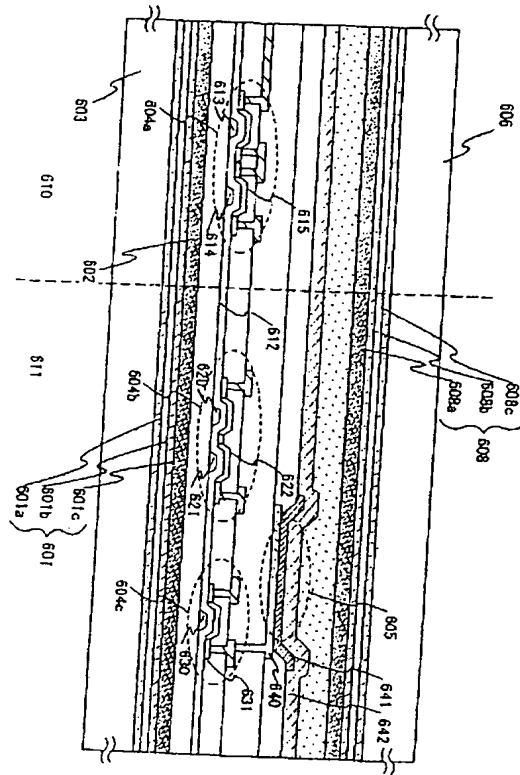
도면 11c



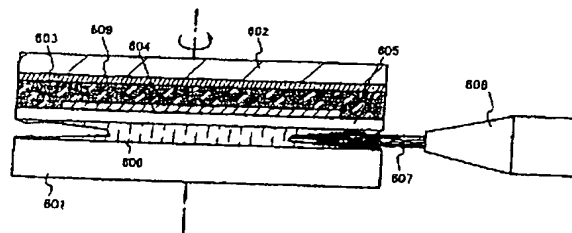
FIG. 12



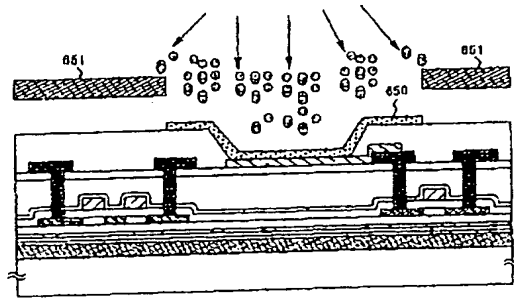
도면 13



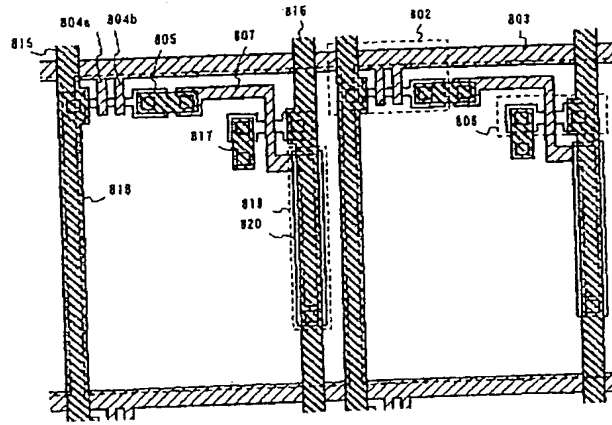
도면 14



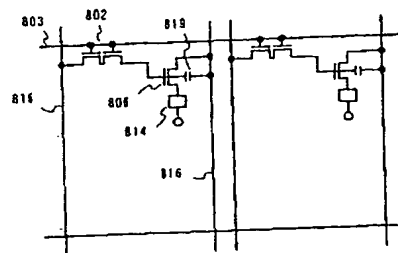
도면 15



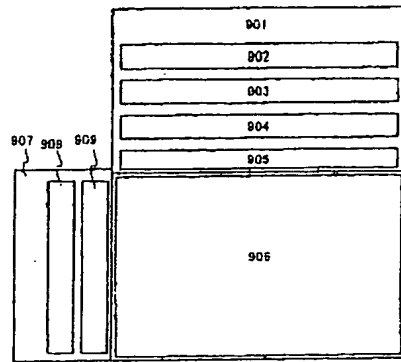
도면 16a



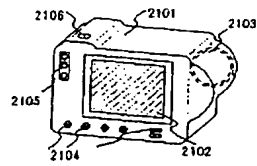
도면 16b



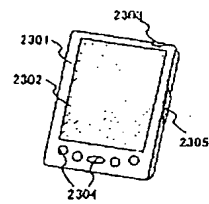
도면 17



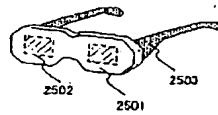
도면 18a



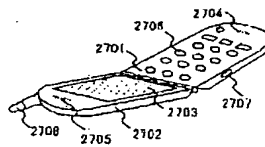
도면 18b



도면 18c



도면 18d



도면 19

